

#2
12-10-01
Mallot

11036 U.S. PTO
09/960398
09/24/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masaki KURASAWA, et al.**

Serial No.: **Not Yet Assigned**

Filed: **September 24, 2001**

For: **CAPACITOR AND METHOD FOR FABRICATING THE SAME, AND
SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

September 24, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

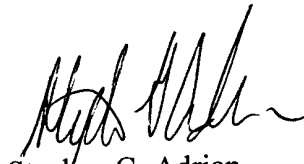
Japanese Appln. No. 2001-022905, filed January 31, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
**ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON, LLP**



Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 011254
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/ll

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1036 U.S. PTO
09/960398
09/24/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月31日

出 願 番 号

Application Number:

特願2001-022905

出 願 人

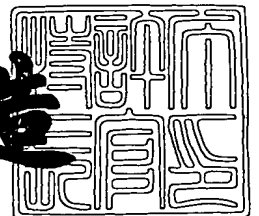
Applicant(s):

富士通株式会社

2001年 7月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3063821

【書類名】 特許願

【整理番号】 0051378

【提出日】 平成13年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10 421

【発明の名称】 容量素子及びその製造方法並びに半導体装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 倉澤 正樹

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 栗原 和明

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 丸山 研二

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100087479

 【弁理士】

 【氏名又は名称】 北野 好人

【選任した代理人】

 【識別番号】 100114915

 【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量素子及びその製造方法並びに半導体装置

【特許請求の範囲】

【請求項 1】 基板上に形成されたバッファ体と、

前記バッファ体上に形成された下部電極と、

前記下部電極上に形成され、前記バッファ体の熱膨張係数よりも小さい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜と、

前記キャパシタ誘電体膜上に形成された上部電極と

を有することを特徴とする容量素子。

【請求項 2】 基板上に形成された下部電極と、

前記下部電極上に形成され、前記基板の熱膨張係数よりも大きい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜と、

前記キャパシタ誘電体膜上に形成された上部電極と

を有することを特徴とする容量素子。

【請求項 3】 請求項 1 又は 2 記載の容量素子において、

前記キャパシタ誘電体膜は、結晶構造が正方晶であり（0 0 1）方向に配向している

ことを特徴とする容量素子。

【請求項 4】 請求項 1 又は 2 記載の容量素子において、

前記キャパシタ誘電体膜は、結晶構造が菱面体晶であり（1 1 1）方向に配向している

ことを特徴とする容量素子。

【請求項 5】 半導体基板上に形成され、ゲート電極と、前記ゲート電極の両側の前記半導体基板中にそれぞれ設けられたソース／ドレイン拡散層とを有するメモリセルトランジスタと、

前記メモリセルトランジスタが形成された前記半導体基板上を覆う絶縁膜と、

前記絶縁膜上に形成されたバッファ体と、

前記バッファ体上に形成され、前記ソース／ドレイン拡散層に電氣的に接続された下部電極と、前記下部電極上に形成され、前記バッファ体の熱膨張係数よりも小さい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成された上部電極とを有する容量素子と

を有することを特徴とする半導体装置。

【請求項6】 半導体基板上に形成され、ゲート電極と、前記ゲート電極の両側の前記半導体基板中にそれぞれ設けられたソース／ドレイン拡散層とを有するメモリセルトランジスタと、

前記メモリセルトランジスタが形成された前記半導体基板上を覆う絶縁膜と、前記絶縁膜上に形成され、前記ソース／ドレイン拡散層に電氣的に接続された下部電極と、前記下部電極上に形成され、前記半導体基板の熱膨張係数よりも大きい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成された上部電極とを有する容量素子と

を有することを特徴とする半導体装置。

【請求項7】 基板上に、バッファ体を形成する工程と、

前記バッファ体上に、下部電極を形成する工程と、

前記下部電極上に、前記バッファ体の熱膨張係数よりも小さい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜を形成する工程と、

前記キャパシタ誘電体膜上に、上部電極を形成する工程と

を有することを特徴とする容量素子の製造方法。

【請求項8】 請求項7記載の容量素子の製造方法において、

前記バッファ体を形成する工程では、前記キャパシタ誘電体膜を形成する工程において前記基板と前記キャパシタ誘電体膜との熱膨張係数差に基づく引張り応力が前記キャパシタ誘電体膜に加わらないように、前記バッファ体の形状を設定する

ことを特徴とする容量素子の製造方法。

【請求項9】 基板上に、下部電極を形成する工程と、
前記下部電極上に、前記基板の熱膨張係数よりも大きい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜を形成する工程と、
前記キャパシタ誘電体膜上に、上部電極を形成する工程と
を有することを特徴とする容量素子の製造方法。

【請求項10】 請求項9記載の容量素子の製造方法において、
前記下部電極を形成する工程では、前記キャパシタ誘電体膜を形成する工程において前記基板と前記キャパシタ誘電体膜との熱膨張係数差に基づく引張り応力が前記キャパシタ誘電体膜に加わらないように、前記下部電極の形状を設定することを特徴とする容量素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、容量素子及びその製造方法並びに半導体装置及びその製造方法に係り、特に、電界印加方向と分極軸とが平行な強誘電体膜を有する強誘電体容量素子及びその製造方法、並びに、このような容量素子を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

SrTiO_3 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ などの強誘電体材料は、その高い誘電率や分極反転特性を生かして様々な分野に応用されている。例えば、高い誘電率を利用したものとしては、強誘電体膜を誘電体膜とした容量素子（強誘電体容量素子）を構成し、記憶情報をこのキャパシタに電荷として蓄えるDRAM型の半導体記憶装置がある。また、分極反転特性を利用したものとしては、強誘電体容量素子を構成し、強誘電体膜の分極方向に応じた情報をこのキャパシタに記憶する不揮発性メモリがある。強誘電体容量素子は、単位面積あたりの容量値を増加してキャパシタ面積を減少することができ、また、不揮発性メモリを構成することも可能であり、更なる微細化が図られている半導体記憶装置に適用するにおいて

きわめて有用である。

【0003】

強誘電体膜を用いた従来の容量素子について、図19を用いて説明する。図19は従来の容量素子の構造を示す概略断面図である。

【0004】

従来の容量素子は、例えば図19(a)に示すように、例えばプラチナよりなる下部電極100と、例えば $Pb(Zr, Ti)O_3$ （以下、PZTという）よりなる強誘電体膜102と、例えばプラチナよりなる上部電極104とを順次積層することにより構成されていた。

【0005】

通常、下部電極100としてのプラチナ膜は、多結晶からなり、結晶方位が(111)方向に強く配向している（例えば、ジャーナル・オブ・アプライド・フィジックス、1991年、第70巻、第1号、382～388頁を参照）。この場合、強誘電体膜102としてZr/Tiの組成比が0.52/0.48以下である正方晶系の結晶構造を有するPZTを適用すると、格子構造の類似したプラチナ膜の影響を受け、PZT膜の結晶方位も(111)方向に強く配向する。

【0006】

このような強誘電体容量素子を不揮発性記憶装置に適用する場合、情報の書込みは強誘電体膜の分極方向を制御することにより行う。正方晶系のPZTの分極方向は、プラスイオンとマイナスイオンとの平均位置が相互に $\langle 001 \rangle$ 方向にずれるため、 $\langle 001 \rangle$ 方向となる。したがって、上述のような(111)配向したPZT膜よりなる強誘電体容量素子の場合、図19(b)に示すように、PZT膜の分極方向（図中、矢印で示す）は電圧の印加方向に対して斜めの方向となる。このため、容量素子の電圧印加方向にみると、PZTのもつ本来の分極の大きさよりも小さな分極しか得ることができない。

【0007】

分極が同方向にそろっている領域を分域と呼ぶ。(111)配向のPZTにおいては、図19(b)に示すように、分極方向が 180° 異なる分域が隣り合った分域壁（ 180° 分域壁106）と、分極方向が 90° 異なる分域が隣り合った

た分域壁（ 90° 分域壁 108）とが存在する。この場合、電圧を印加した際の分極反転時に、 180° 分域壁 106 では歪みを生じないが、 90° 分域壁 108 では歪みを生じるため、強誘電体容量素子の特性、特に不揮発性記憶装置においてはデータ保持特性を著しく悪化させることになる。したがって、良好な特性を有する不揮発性記憶装置を作成するには、 90° 分極壁 108 が存在せず、 180° 分極壁 106 のみで構成される強誘電体膜を適用することが望ましい。

【0008】

180° 分極壁のみで構成される強誘電体膜としては、例えば、（001）配向した正方晶の PZT 膜や、（111）配向した菱面体晶の PZT 膜が存在する。図 19（c）に示すように、（001）配向した正方晶の PZT 膜や（111）配向した菱面体晶の PZT 膜では、 90° 分域壁は存在せず 180° 分域壁 106 のみであり、且つ、容量素子の電圧印加方向と分極方向（図中、矢印で示す）とが平行となるため、物質本来の分極の大きさを強誘電体容量素子にそのまま活用することができる。

【0009】

（001）配向の PZT 膜を形成する場合には、下地の基板として MgO（100）単結晶基板や、 SrTiO_3 （100）単結晶基板が用いられていた。図 20（a）に示すように、例えば MgO（100）単結晶基板 110 上にプラチナ膜を高温下でスパッタ法により堆積すると、MgO 基板 110 の面方位の影響を受け、MgO 基板 110 上には（100）配向したプラチナ膜 112 を形成することができる。（100）配向したプラチナ膜 112 上に PZT 膜 114 を堆積すると、プラチナ膜の配向方向の影響を受け、（001）配向した PZT 膜 116 を形成することができる（例えば、ジャーナル・オブ・アプライド・フィジックス、1991 年、第 69 巻、第 12 号、8352～8357 頁を参照）。

【0010】

図 21 は、（111）配向した PZT 膜を有する強誘電体容量素子を用いた不揮発性記憶装置と、（001）配向した PZT 膜を有する強誘電体容量素子を用いた不揮発性記憶装置とにおけるデータ保持特性を示すグラフである。（111）配向した PZT 膜を有する強誘電体容量素子は、シリコン酸化膜を堆積したシ

リコン基板上に(111)配向したプラチナ膜よりなる下部電極を形成し、その上に(111)配向したPZT膜を形成したものである。(001)配向したPZT膜を有する強誘電体容量素子は、(100)MgO基板上に(100)配向したプラチナ膜よりなる下部電極を形成し、その上に(001)配向したPZT膜を形成したものである。図中、横軸はデータ書込後の保持時間、縦軸は規格化した分極の大きさを示す。

【0011】

図示するように、(111)配向したPZT膜を用いた場合には保持時間とともに分極量が減少していくが、(001)配向したPZT膜を用いた場合には、分極量の減少を抑えることができる。

【0012】

【発明が解決しようとする課題】

ところで、強誘電体容量素子を用いた不揮発性半導体記憶装置では、強誘電体容量素子は、能動素子が形成されたシリコン基板上に非晶質絶縁膜を介して形成される。非晶質絶縁膜上には、例えばTiO₂膜などよりなる密着層を介して下部電極としてのプラチナ膜が形成されるが、このように形成されたプラチナ膜は(111)配向膜となる。このため、従来の不揮発性記憶装置では、その上層に形成されるPZT膜も(111)配向膜となってしまう、データ保持特性に優れた(001)配向のPZT膜を有する強誘電体容量素子を形成することはできなかった。

【0013】

また、シリコン基板上の非晶質絶縁膜上に、ArガスとO₂ガスとを用いたスパッタ法により(100)配向したプラチナ膜を形成する方法が、例えば、ジャーナル・オブ・マテリアル・リサーチ、1999年、第14巻、第3号、634～637頁に記載されている。しかしながら、この(100)配向したプラチナ膜上にPZT膜を堆積するとPZT膜は(100)配向となってしまう、(001)配向のPZT膜を得ることはできなかった。(100)配向のPZT膜は分極方向が容量素子の電界印加方向と垂直であるため、得られる分極の大きさは極めて小さくなる。

【0014】

このように、強誘電体を用いた従来の容量素子、特に、シリコン基板上に非晶質絶縁膜を介して形成される場合にあつては、電界印加方向と分極軸とが平行なPZT膜を得ることはできず、このような容量素子を用いた不揮発性記憶装置では十分なデータ保持特性を得ることはできなかった。

【0015】

本発明の目的は、電界印加方向と分極軸とが平行な強誘電体膜を有する強誘電体容量素子及びその製造方法、並びに、このような容量素子を有し、データ保持特性に優れた半導体装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】

上述のように、(100)配向したプラチナ膜上にPZT膜を形成する場合でも、その下地構造が(100)MgO基板であるか、シリコン基板上に形成された非晶質絶縁膜であるかによって、プラチナ膜上に形成されたPZT膜の配向方向は異なる。

【0017】

そこで、本願発明者等がプラチナ膜の下地構造によってPZT膜の配向方向が異なる原因について鋭意検討を行った結果、強誘電体膜と下地基板との熱膨張係数の違いがPZT膜の配向方向に大きく影響していることを初めて見出した。本願発明者等は、検討結果に基づき、PZT膜の配向方向と熱膨張係数との関係について以下のものであると推察している。

【0018】

PZT膜の結晶化には高温が必要なため、PZT膜はキュリー点(T_c)以上の高い成膜温度によって堆積される。或いは、堆積後にキュリー点以上の高い温度による熱処理が行われる。このため、PZTの堆積後の基板の冷却中に、PZT膜と下地基板との間の熱膨張係数の違いに基づく応力が加わる。ここで、MgOの熱膨張係数はPZTの熱膨張係数よりも大きく、シリコンの熱膨張係数はPZTの熱膨張係数よりも小さい。したがって、MgO基板上に形成されたプラチナ膜上にPZT膜を形成した場合、PZT膜には圧縮応力が働き、逆に、シリコ

ン基板上に形成された非晶質絶縁膜上にPZT膜を形成した場合、PZT膜には引っ張り応力が働くこととなる。本願発明者等は、この応力の違いが冷却後のPZT膜の配向方向に影響を与えていると推察しており、PZT膜に引っ張り応力が働く場合には立方晶の(100)配向膜から正方晶の(100)配向膜に相転移し、PZT膜に圧縮応力が働く場合には立方晶の(100)配向膜から正方晶の(001)配向膜に相転移するものと考えている。つまり、(001)配向のPZT膜を得るためには、PZTよりも熱膨張係数の大きな下地基板を用いることが必要であると考えられる。

【0019】

ただし、例えば図22に示すように、シリコン基板120上に形成した非晶質絶縁膜122上に、MgOなどの熱膨張係数の大きな材料により(100)配向したバッファ層124を作成し、バッファ層124上に下部電極としての(100)配向したプラチナ膜126を形成しても、プラチナ膜126上に形成されるPZT膜128は(100)配向膜となり、(001)配向したPZT膜を形成することはできない。これは、熱膨張係数による応力の影響は、その系における最も膜厚の厚い材料の熱膨張係数に支配されるからである。図22に示す系では、基板であるシリコンの熱膨張係数とPZTの熱膨張係数とによってPZTに働く応力が決定される。

【0020】

このようなことから、本願発明者等は、基板と強誘電体膜との熱膨張係数差に基づく応力を強誘電体膜に伝えることを防止する観点から、強誘電体膜よりも下層に、バッファ層として、強誘電体よりも熱膨張係数が大きい材料よりなり、その高さが下地と接する幅よりも高い構造体を設けることに想到し、電界印加方向と分極軸とが平行な強誘電体膜を有する容量素子を形成することに成功した。

【0021】

すなわち、本発明による容量素子は、図1(a)に示すように、基板60上に形成されたバッファ層としての構造体(バッファ体とも表す)62と、構造体62上に形成された下部電極64と、下部電極64上に形成され、構造体62の熱膨張係数よりも小さい熱膨張係数を有し、下部電極64の面と実質的に垂直な方

向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜 6 6 と、キャパシタ誘電体膜 6 6 上に形成された上部電極 6 8 とを有することを特徴としている。

【0 0 2 2】

或いは、図 1 (b) に示すように、基板 6 0 上に形成された下部電極 6 4 と、下部電極 6 4 上に形成され、基板 6 0 の熱膨張係数よりも大きい熱膨張係数を有し、下部電極 6 4 の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜 6 6 と、キャパシタ誘電体膜 6 6 上に形成された上部電極 6 8 とを有することを特徴としている。

【0 0 2 3】

強誘電体膜を、バッファ層としての構造体上或いはバッファ層を兼ねる下部電極上に形成することにより、強誘電体膜と下地基板との熱膨張係数の違いに伴う応力を、構造体或いは下部電極によって吸収することができる。これにより、強誘電体膜の堆積後や結晶化熱処理後の冷却過程において、引張り応力に起因する強誘電体膜の配向方向の転移を防止することができる。したがって、バッファ層としての構造体或いは下部電極の配向方向に依存した配向方向を有する強誘電体膜を形成することで、下部電極の面と実質的に垂直な方向に配向した強誘電体膜、すなわち、電界印加方向と分極軸とが平行な強誘電体膜を有する容量素子を形成することが可能となる。

【0 0 2 4】

バッファ層としての構造体は、基板と強誘電体膜との熱膨張係数差に基づく応力を強誘電体膜に伝えることを防止するに適した形状とする必要がある。基板と強誘電体膜との熱膨張係数差に基づく応力を強誘電体膜に伝えることを防止する観点からは、下地との接触面積が相対的に小さい柱状体が好ましいと考えられ、構造体の高さは少なくとも下地に接する幅よりも高い必要があると考えられる。本願発明者等は構造体の形状に関して臨界的な値を見出していないが、下地に接する幅に対する高さの比が大きいほどに、応力を強誘電体膜に伝えることを防止する効果が高いことが推測される。構造体の下地に接する幅に対する高さの比は、基板と強誘電体膜との熱膨張係数差に応じて適宜選択することが望ましい。

【0025】

バッファ層となる構造体は、図1(a)のように下部電極の下地膜として設けてもよいし、図1(b)に示すように下部電極自体によって形成してもよい。

【0026】

ここで、バッファ層を構成する膜の配向方向は、形成すべき強誘電体膜の配向方向に応じて適宜選択する。

【0027】

ペロブスカイト構造の強誘電体の場合、正方晶又は菱面体晶の結晶構造となる。例えば、PZT系の強誘電体の場合、その組成を $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_2$ として、組成比 x が $x \geq 0.48$ のときに正方晶となり、組成比 x が $x \leq 0.48$ のときに菱面体晶となる。正方晶の場合には(001)配向膜が強誘電体キャパシタとして好適であり、菱面体晶の場合には(111)配向膜が強誘電体キャパシタとして好適である。

【0028】

正方晶の強誘電体を用いる場合、下地膜を(100)配向膜により構成する。これにより、キュリー温度以上における堆積過程或いはキュリー温度以上の温度における結晶化熱処理時に、強誘電体薄膜は立方晶系で(100)方向に配向しやすくなる。(100)配向した強誘電体薄膜は、キュリー温度以上の温度から室温への冷却中に立方晶から正方晶に相転移する。その際、バッファ層による圧縮応力を受け、(001)配向した正方晶の強誘電体薄膜が形成される。

【0029】

菱面体晶の強誘電体を用いる場合、下地膜を(111)配向膜により構成する。これにより、キュリー温度以上における堆積過程或いはキュリー温度以上の温度における結晶化熱処理時に、強誘電体薄膜は立方晶系で(111)方向に配向しやすくなる。(111)配向した強誘電体薄膜は、キュリー温度以上の温度から室温への冷却中に立方晶から菱面体晶に相転移する。菱面体晶の場合には、 180° 分域の他に、分極方向が下地表面に対して斜めの方向となる 70° 分域と 110° 分域が存在するが、相転移の際、バッファ層による均一な圧縮応力を受け、分極軸方向つまり(111)配向した菱面体晶の強誘電体薄膜が形成される。

【0030】

下部電極をプラチナにより構成する場合、その上に(001)配向した正方晶の強誘電体薄膜を形成するためには、(100)配向したプラチナ膜を形成する必要がある。また、(111)配向した菱面体晶の強誘電体膜を形成するためには、(111)配向したプラチナ膜を形成する必要がある。

【0031】

バッファ層としての構造体は、絶縁性材料であれば、例えば、 MgO 、 $MgAl_2O_4$ 、 CaO 、 ZrO_2 、 Y_2O_3 などを適用することができる。これら絶縁性材料は、立方晶系の材料であり、成膜時の全圧を制御することで配向方向を制御することが可能である。導電性材料であれば、例えば、プラチナ、銀(Ag)、金(Au)、クロム(Cr)、銅(Cu)、イリジウム(Ir)、ニッケル(Ni)、タンタル(Ta)、チタン(Ti)などを適用することができる。これら導電性材料は、成膜時のアルゴン(Ar)ガス中に酸素(O_2)ガスを導入し、酸素ガス分圧を制御することで配向方向を制御することが可能である。これら材料のうち、強誘電体膜と相性のよい材料、例えば貴金属材料に関しては、バッファ層としての構造体と下部電極とを共用することもできる。

【0032】

また、構造体は、図1に示すような柱状体に限られるものではなく、例えば後述する第3及び第4実施形態に示すように、筒状体としてもよい。

【0033】

また、本発明は、ペロブスカイト構造を有する強誘電体材料に広く適用することが可能であり、 PZT 膜のほか、 $SrTiO_3$ 膜、 Bi_2SrTaO_9 膜などにおいても同様の効果を得ることができる。

【0034】

【発明の実施の形態】

〔第1実施形態〕

本発明の第1実施形態による半導体装置及びその製造方法について図2乃至図6を用いて説明する。

【 0 0 3 5 】

図 2 は本実施形態による半導体装置の構造を示す概略断面図、図 3 乃至図 5 は本実施形態による半導体装置の製造方法を示す工程断面図、図 6 は本実施形態による半導体装置におけるデータ保持特性を示すグラフである。

【 0 0 3 6 】

はじめに、本実施形態による半導体装置の構造について図 2 を用いて説明する。

【 0 0 3 7 】

シリコン基板 1 0 上には、ゲート絶縁膜 1 4 を介して形成されたゲート電極 1 6 と、ゲート電極 1 6 の両側のシリコン基板 1 0 内に形成されたソース／ドレイン拡散層 1 8、2 0 とを有するメモリセルトランジスタが形成されている。メモリセルトランジスタが形成されたシリコン基板 1 0 上には、層間絶縁膜 2 2 が形成されている。層間絶縁膜 2 2 には、ソース／ドレイン拡散層 1 8 に電氣的に接続されたプラグ 2 6 が埋め込まれている。層間絶縁膜 2 2 上には、プラグ 2 6 を介してソース／ドレイン拡散層 1 8 に電氣的に接続されたビット線 2 8 が形成されている。ビット線 2 8 が形成された層間絶縁膜 2 2 上には、層間絶縁膜 3 0 が形成されている。層間絶縁膜 3 0、2 2 には、ソース／ドレイン拡散層 2 0 に電氣的に接続されたプラグ 3 4 が埋め込まれている。

【 0 0 3 8 】

プラグ 3 4 が埋め込まれた層間絶縁膜 3 0 上には、バリアメタル層 3 6 が形成されている。バリアメタル層 3 6 上には、(1 0 0) 配向した M g O 膜よりなるバッファ層としての構造体 4 0 が形成されている。バリアメタル層 3 6 上並びに構造体 4 0 の上面上及び側面上には、(1 0 0) 配向したプラチナ膜よりなり、バリアメタル層 3 6 及びプラグ 3 4 を介してソース／ドレイン拡散層 2 0 に電氣的に接続された下部電極 4 2 が形成されている。下部電極 4 2 上には、(0 0 1) 配向した正方晶系の P Z T 膜よりなるキャパシタ誘電体膜 4 4 が形成されている。キャパシタ誘電体膜 4 4 上には、プラチナ膜よりなる上部電極 4 6 が形成されている。これにより、下部電極 4 2、キャパシタ誘電体膜 4 4、上部電極 4 6 よりなる強誘電体キャパシタが構成されている。

【0039】

こうして、1トランジスタ、1キャパシタを有する強誘電体メモリが構成されている。

【0040】

ここで、本実施形態による半導体装置は、基板としてキャパシタ誘電体膜44よりも熱膨張係数の小さいシリコンを用いているにも関わらず、キャパシタ誘電体膜44が(001)配向膜により構成されていることに主たる特徴がある。キャパシタ誘電体膜44として正方晶系のPZT膜を用いた場合、(001)配向膜の分極方向は上部電極46と下部電極42との間に印加される電界の方向と並行となる。したがって、PZTの有する本来の分極の大きさをそのまま利用することができる。

【0041】

本実施形態による半導体装置では、(001)配向の正方晶系PZT膜をシリコン基板10上に形成するために、下部電極42の下層に、キャパシタ誘電体膜よりも熱膨張係数が大きいMgO膜よりなる構造体40を設けている。このような構造体40を設けることにより、シリコン基板10とPZT膜との間の熱膨張係数差に基づく引張り応力がPZT膜に加わるのを防止し、逆に、構造体40とPZT膜との間の熱膨張係数差に基づく圧縮応力をPZT膜に加えることが可能となり、下部電極42上に(001)配向の正方晶系PZT膜を形成することができる。

【0042】

次に、本実施形態による半導体装置の製造方法について図3乃至図5を用いて説明する。

【0043】

まず、シリコン基板10に、例えばシャロートレンチ法により、素子分離膜12を形成する。

【0044】

次いで、素子分離膜12により画定された素子領域上に、通常のMOSトランジスタの形成方法と同様にして、ゲート絶縁膜14を介して形成されたゲート電

極16と、ゲート電極16の両側のシリコン基板10内に形成されたソース／ドレイン拡散層18、20とを有するメモリセルトランジスタを形成する（図3（a））。

【0045】

次いで、メモリセルトランジスタが形成されたシリコン基板10上に、例えばCVD法によりシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜22を形成する。

【0046】

次いで、例えばCMP（Chemical Mechanical Polishing：化学的機械的研磨）法により層間絶縁膜22の表面を研磨し、層間絶縁膜22の表面を平坦化する。

【0047】

次いで、リソグラフィ技術及びエッチング技術により、層間絶縁膜22に、ソース／ドレイン拡散層18に達するコンタクトホール24を形成する（図3（b））。

【0048】

次いで、例えばスパッタ法により、窒化チタン（TiN）／チタン（Ti）の積層構造よりなる密着層とタングステン（W）膜とを堆積した後、層間絶縁膜22の表面が露出するまでCMP法により研磨する。こうして、コンタクトホール24内に埋め込まれ、ソース／ドレイン拡散層18に電氣的に接続されたプラグ26を形成する。

【0049】

次いで、例えばスパッタ法によりタングステン膜を堆積した後、リソグラフィ技術及びエッチング技術によりこのタングステン膜をパターニングし、タングステン膜よりなり、プラグ26を介してソース／ドレイン拡散層18に接続されたビット線28を形成する（図3（c））。

【0050】

次いで、ビット線28が形成された層間絶縁膜22上に、例えばCVD法によりシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜30を形成する。

【 0 0 5 1 】

次いで、リソグラフィ技術及びエッチング技術により、層間絶縁膜 3 0、2 2 に、ソース／ドレイン拡散層 2 0 に達するコンタクトホール 3 2 を形成する（図 3（d））。

【 0 0 5 2 】

次いで、例えばスパッタ法により、窒化チタン／チタンの積層構造よりなる密着層とタンゲステン膜とを堆積した後、層間絶縁膜 3 0 の表面が露出するまで CMP 法により研磨する。こうして、コンタクトホール 3 2 内に埋め込まれ、ソース／ドレイン拡散層 2 0 に電氣的に接続されたプラグ 3 4 を形成する。

【 0 0 5 3 】

次いで、プラグ 3 4 が埋め込まれた層間絶縁膜 3 0 上に、例えばスパッタ法により窒化チタン膜を堆積し、窒化チタン膜よりなるバリアメタル層 3 6 を形成する。

【 0 0 5 4 】

次いで、バリアメタル層 3 6 上に、例えば反応性スパッタ法により、膜厚 6 0 0 n m の（1 0 0）配向した M g O 膜 3 8 を堆積する（図 4（a））。例えば、ターゲットにマグネシウム（M g）を用い、基板温度を 5 0 0℃、アルゴン（A r）ガス流量を 3 0 s c c m、酸素（O₂）ガス流量を 2 0 s c c m、圧力を 3 0 m T o r r として M g O 膜を成膜することにより、（1 0 0）配向の M g O 膜を形成することができる。

【 0 0 5 5 】

次いで、リソグラフィ技術及びイオンミリング技術により M g O 膜 3 8 をパターニングし、高さが約 6 0 0 n m、幅が約 5 0 0 n m の（1 0 0）配向した M g O 膜 3 8 よりなるバッファ層としての構造体 4 0 を形成する（図 4（b））。

【 0 0 5 6 】

構造体 4 0 は、シリコン基板 1 0 からの応力をキャパシタ誘電体膜 4 4 に伝えるのを防止するためのものであり、少なくともその高さを下地と接する幅よりも高く設定する。また、構造体 4 0 は、キャパシタ誘電体膜 4 4 に圧縮応力を加え

る役割をも有しており、下部電極 4 2 を構成する材料としては、キャパシタ誘電体膜 4 4 を構成する材料の熱膨張係数よりも大きい材料を選択する必要がある。

【 0 0 5 7 】

次いで、全面に、例えば段差被覆性に優れた C V D 法により、膜厚 6 0 n m の (1 0 0) 配向したプラチナ膜を堆積する。例えば、溶液気化型の C V D 法において、酸素ガスを導入し、酸素分圧を適宜制御することにより、(1 0 0) 配向のプラチナ膜を堆積することができる。

【 0 0 5 8 】

次いで、リソグラフィ技術及びエッチング技術により、プラチナ膜及びバリアメタル層 3 6 をパターンニングし、プラチナ膜よりなり、バリアメタル層 3 6 及びプラグ 3 4 を介してソース／ドレイン拡散層 2 0 に接続された下部電極 4 2 を形成する (図 5 (a)) 。

【 0 0 5 9 】

次いで、下部電極 4 2 上に、例えば溶液気化型の C V D 法により、キュリー点 (T c) 以上の温度で、膜厚が 1 2 0 n m 、 Z r / T i 比が 4 5 / 5 5 である P Z T 膜を堆積し、(1 0 0) 配向の立方晶系 P Z T 膜よりなるキャパシタ誘電体膜 4 4 を形成する。(1 0 0) 配向の立方晶系 P Z T 膜は、堆積温度から室温へ冷却する過程において、構造体 3 6 からの圧縮応力を受け、(0 0 1) 配向の正方晶系 P Z T 膜に相転移する。

【 0 0 6 0 】

なお、冷却過程においてはシリコン基板 1 0 と P Z T 膜との間の熱膨張係数差に基づく引張り応力が問題となるが、P Z T 膜の下層にバッファ層としての構造体 4 0 が形成されているので、この引張り応力は構造体 4 0 により緩和され、逆に、P Z T 膜には構造体 4 0 による圧縮応力が加わることとなる。したがって、堆積した P Z T 膜は、正方晶系の (1 0 0) 配向膜とはならず、正方晶系の (0 0 1) 配向膜となる。

【 0 0 6 1 】

次いで、全面に、例えば溶液気化型の C V D 法により、膜厚 1 0 0 n m のプラチナ膜を堆積し、プラチナ膜よりなる上部電極 4 6 を形成する。

【0062】

こうして、1トランジスタ、1キャパシタを有し、キャパシタ誘電体膜の分極方向が電界印加方向と平行である強誘電体メモリを形成することができる。

【0063】

図6は、(111)配向膜を用いた従来の半導体装置と(001)配向膜を用いた本実施形態による半導体装置とにおけるデータ保持特性を示すグラフである。なお、図6の測定結果は、150℃、160時間のデータ保持特性の加速試験を行った結果である。

【0064】

図6に示すように、(111)配向膜を用いた従来の半導体装置では約25%の分極量の減少が見られるが、(001)配向膜を用いた本実施形態による半導体装置では約5%の分極量の減少に抑えることができた。

【0065】

また、(001)配向膜を用いた場合、初期の分極量は電圧印加方向と分極方向とが平行であるため、(111)配向膜を用いた場合と比較して、分極量は約1.5倍と大きい。このことは、(001)配向膜を用いた場合には容量素子面積を1/1.5倍に縮小しても(111)配向膜を用いた場合と同等の特性を得られることを意味しており、強誘電体メモリの更なる微細化が可能となる。

【0066】

このように、本実施形態によれば、下部電極42の下層に、シリコン基板10からの応力の影響を緩和するバッファ層としての構造体40を設けるので、基板としてキャパシタ誘電体膜44よりも熱膨張係数の小さいシリコンを用いていた場合であっても、(001)配向したキャパシタ誘電体膜を形成することができる。したがって、キャパシタ誘電体膜の分極方向を、上部電極46と下部電極42との間に印加される電界の方向と並行にすることができ、強誘電体膜の有する本来の分極の大きさをそのまま利用することができる。

【0067】

なお、上記実施形態では、下部電極42と下地構造との密着性を高め、また、コンタクト特性を向上するために、下部電極42とプラグ34との間にバリアメ

タル層 3 6 を設けているが、バリアメタル層 3 6 の配置方法は、上記実施例に記載の態様のほか、様々な態様が考えられる。例えば図 7 (a) に示すように、構造体 4 0 の下部に延在しないようにプラグ 3 4 上に選択的にバリアメタル層 3 6 を設けるようにしてもよいし、例えば図 7 (b) に示すように、構造体 4 0 の下部においてバリアメタル層 3 6 とプラグ 3 4 とのコンタクトをとるようにしてもよい。

【0068】

[第2実施形態]

本発明の第2実施形態による半導体装置及びその製造方法について図8及び図9を用いて説明する。なお、図2乃至図5に示す第1実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し、説明を省略し或いは簡略にする。

【0069】

図8は本実施形態による半導体装置の構造を示す概略断面図、図9は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0070】

はじめに、本実施形態による半導体装置の構造について図8を用いて説明する。

【0071】

シリコン基板 1 0 上には、ゲート絶縁膜 1 4 を介して形成されたゲート電極 1 6 と、ゲート電極 1 6 の両側のシリコン基板 1 0 内に形成されたソース／ドレイン拡散層 1 8、2 0 とを有するメモリセルトランジスタが形成されている。メモリセルトランジスタが形成されたシリコン基板 1 0 上には、層間絶縁膜 2 2 が形成されている。層間絶縁膜 2 2 には、ソース／ドレイン拡散層 1 8 に電氣的に接続されたプラグ 2 6 が埋め込まれている。層間絶縁膜 2 2 上には、プラグ 2 6 を介してソース／ドレイン拡散層 1 8 に電氣的に接続されたビット線 2 8 が形成されている。ビット線 2 8 が形成された層間絶縁膜 2 2 上には、層間絶縁膜 3 0 が形成されている。層間絶縁膜 3 0、2 2 には、ソース／ドレイン拡散層 2 0 に電氣的に接続されたプラグ 3 4 が埋め込まれている。

【0072】

プラグ34が埋め込まれた層間絶縁膜30上には、バリアメタル層36が形成されている。バリアメタル層36上には、(100)配向したプラチナ膜よりなり、バリアメタル層36及びプラグ34を介してソース／ドレイン拡散層20に電氣的に接続された下部電極42が形成されている。下部電極42は、バッファ層としての構造体を兼ねるものであり、その高さが幅よりも高くなっている。下部電極42上には、(001)配向した正方晶系のPZT膜よりなるキャパシタ誘電体膜44が形成されている。キャパシタ誘電体膜44上には、プラチナ膜よりなる上部電極46が形成されている。これにより、下部電極42、キャパシタ誘電体膜44、上部電極46よりなる強誘電体キャパシタが構成されている。

【0073】

こうして、1トランジスタ、1キャパシタを有する強誘電体メモリが構成されている。

【0074】

ここで、本実施形態による半導体装置は、基板としてキャパシタ誘電体膜44よりも熱膨張係数の小さいシリコンを用いているにも関わらず、キャパシタ誘電体膜44が(001)配向膜により構成されていることに主たる特徴がある。キャパシタ誘電体膜44として正方晶系のPZT膜を用いた場合、(001)配向膜の分極方向は上部電極46と下部電極42との間に印加される電界の方向と並行となる。したがって、PZTの有する本来の分極の大きさをそのまま利用することができる。

【0075】

本実施形態による半導体装置では、(001)配向の正方晶系PZT膜をシリコン基板10上に形成するために、(100)配向のプラチナ膜よりなる下部電極42により、バッファ層となる構造体を構成している。このような構造体を設けることにより、シリコン基板10とPZT膜との間の熱膨張係数差に基づく引張り応力がPZT膜に加わるのを防止し、逆に、下部電極42とPZT膜との間の熱膨張係数差に基づく圧縮応力をPZT膜に加えることが可能となり、下部電極42上に(001)配向の正方晶系PZT膜を形成することができる。

【0076】

次に、本実施形態による半導体装置の製造方法について図9を用いて説明する

【0077】

まず、例えば図3(a)乃至図3(d)に示す第1実施形態による半導体装置の製造方法と同様にして、メモリセルトランジスタ、層間絶縁膜22、30、コンタクトホール32等を形成する。

【0078】

次いで、例えばスパッタ法により、窒化チタン/チタンの積層構造よりなる密着層とタングステン膜とを堆積した後、層間絶縁膜30の表面が露出するまでCMP法により研磨する。こうして、コンタクトホール32内に埋め込まれ、ソース/ドレイン拡散層20に電氣的に接続されたプラグ34を形成する。

【0079】

次いで、プラグ34が埋め込まれた層間絶縁膜28上に、例えばスパッタ法により窒化チタン膜を堆積し、窒化チタン膜よりなるバリアメタル層36を形成する。

【0080】

次いで、バリアメタル層36上に、例えばCVD法により、膜厚600nmの(100)配向したプラチナ膜を堆積する。例えば、溶液気化型のCVD法において、酸素分圧を制御することにより、(100)配向のプラチナ膜を堆積することができる。

【0081】

次いで、リソグラフィー技術及びエッチング技術によりプラチナ膜及びバリアメタル層36をパターニングし、このプラチナ膜よりなり、バリアメタル層36及びプラグ34を介してソース/ドレイン拡散層20に接続された下部電極42を形成する(図9(a))。下部電極42は、バッファ層としての構造体を兼ねるものであり、例えば、高さを約600nm、幅を約500nmとする。

【0082】

本実施形態における下部電極42は、下部電極としての通常の機能のほか、シ

リコン基板10からの応力をキャパシタ誘電体膜44に伝えるのを防止するためのものであり、少なくともその高さを下地と接する幅よりも高く設定する。また、キャパシタ誘電体膜44に圧縮応力を加える役割をも有しており、下部電極42を構成する材料としては、キャパシタ誘電体膜44を構成する材料の熱膨張係数よりも大きい材料を選択する必要がある。

【0083】

次いで、下部電極42上に、例えばCVD法により、キュリー点(T_c)以上の温度で膜厚120nmのPZT膜を堆積し、(001)配向の正方晶系PZT膜膜よりなるキャパシタ誘電体膜44を形成する。

【0084】

次いで、全面に、例えばCVD法により、膜厚100nmのプラチナ膜を堆積し、プラチナ膜よりなる上部電極46を形成する。

【0085】

こうして、1トランジスタ、1キャパシタを有し、キャパシタ誘電体膜の分極方向が電界印加方向と平行である強誘電体メモリを形成することができる。

【0086】

このように、本実施形態によれば、下部電極42により、シリコン基板10からの応力の影響を緩和するバッファ層を兼ねる構造体を構成するので、基板としてキャパシタ誘電体膜44よりも熱膨張係数の小さいシリコンを用いていた場合であっても、(001)配向したキャパシタ誘電体膜を形成することができる。したがって、キャパシタ誘電体膜の分極方向を、上部電極46と下部電極42との間に印加される電界の方向と並行にすることができ、強誘電体膜の有する本来の分極の大きさをそのまま利用することができる。

【0087】

なお、上記実施形態では、図9(a)に示す工程において下部電極42となるプラチナ膜とバリアメタル層36とを同一形状にパターニングし、その後にキャパシタ誘電体膜44を形成しているが、パターニング後、キャパシタ誘電体膜44前に、バリアメタル層36を所定量だけ水平方向にエッチングするようにしてもよい。

【0088】

図9(a)に示す工程の後、例えば硫酸と過酸化水素とを含む水溶液によりバリアメタル層36を等方的に選択エッチングし、図10(a)に示すように下部電極42と層間絶縁膜30との間に間隙を設ければ、下部電極42と下地構造との接触面積を大幅に減少することができるので、キャパシタ誘電体膜44堆積後の冷却過程においてキャパシタ誘電体膜44が受けるシリコン基板10からの引張り応力を更に緩和することができる。なお、バリアメタル層36を水平方向にエッチングした場合、キャパシタ誘電体膜44及び上部電極46を形成した後の装置構造は、例えば図10(b)に示すようになる。

【0089】

また、バリアメタル層36を構成する材料によってはキャパシタ誘電体膜44の特性を劣化するものもあり、バリアメタル層36によるキャパシタ誘電体膜44の特性劣化を防止する観点からも、バリアメタル層36を水平方向にエッチングする意義がある。

【0090】

【第3実施形態】

本発明の第3実施形態による半導体装置及びその製造方法について図11乃至図14を用いて説明する。なお、図2乃至図10に示す第1及び第2実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し、説明を省略し或いは簡略にする。

【0091】

図11は本実施形態による半導体装置の構造を示す概略断面図、図12乃至14は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0092】

はじめに、本実施形態による半導体装置について図11を用いて説明する。

【0093】

本実施形態による半導体装置は、図11に示すように、下部電極42の下層にバッファ層としての構造体40を設けている点は、第1実施形態による半導体装置と同様である。本実施形態による半導体装置は、構造体40が図2に示すよう

な柱状体ではなく筒状体である点に主たる特徴がある。このようにして半導体装置を構成することにより、第 1 実施形態による半導体装置と同様の効果を得ることができるとともに、キャパシタ面積を容易に増加することができる。

【 0 0 9 4 】

次に、本実施形態による半導体装置の構造について図 1 2 乃至図 1 4 を用いて説明する。

【 0 0 9 5 】

まず、例えば図 3 (a) 乃至図 3 (d) に示す第 1 実施形態による半導体装置の製造方法と同様にして、メモリセルトランジスタ、層間絶縁膜 2 2 、 3 0 、コンタクトホール 3 2 等を形成する。

【 0 0 9 6 】

次いで、例えばスパッタ法により、窒化チタン／チタンの積層構造よりなる密着層とタングステン膜とを堆積した後、層間絶縁膜 3 0 の表面が露出するまで CMP 法により研磨する。こうして、コンタクトホール 3 2 内に埋め込まれ、ソース／ドレイン拡散層 2 0 に電氣的に接続されたプラグ 3 4 を形成する。

【 0 0 9 7 】

次いで、プラグ 3 4 が埋め込まれた層間絶縁膜 2 8 上に、例えばスパッタ法により窒化チタン膜を堆積し、窒化チタン膜よりなるバリアメタル層 3 6 を形成する。

【 0 0 9 8 】

次いで、バリアメタル層上に、例えば C V D 法により、膜厚 6 0 0 n m のシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜 4 8 を形成する（図 1 2 (a) ）。

【 0 0 9 9 】

次いで、リソグラフィ技術及びエッチング技術により層間絶縁膜 4 8 をパターニングし、層間絶縁膜 4 8 に、バリアメタル層 3 6 に達する開口部 5 0 を形成する（図 1 2 (b) ）。

【 0 1 0 0 】

次いで、例えば反応性スパッタ法により、膜厚 1 0 0 n m の (1 0 0) 配向し

たMgO膜を堆積する。

【0101】

次いで、例えばCMP法により、層間絶縁膜48の表面が露出するまでMgO膜を平坦に研磨し、MgO膜を開口部50内に選択的に残存させる。こうして、MgO膜よりなり、開口部50の内壁及び底部に沿って形成されたバッファ層としての構造体40を形成する(図13(a))。

【0102】

次いで、例えば弗酸系の水溶液を用いたウェットエッチングにより、バリアメタル層36をストップとして、層間絶縁膜48を選択的に除去する(図13(b))。

【0103】

次いで、全面に、例えば段差被覆性に優れたCVD法により、膜厚60nmの(100)配向したプラチナ膜を堆積する。

【0104】

次いで、リソグラフィ技術及びエッチング技術によりプラチナ膜及びバリアメタル層36をパターニングし、プラチナ膜よりなり、バリアメタル層36及びプラグ34を介してソース/ドレイン拡散層20に接続された下部電極42を形成する(図14(a))。

【0105】

次いで、下部電極42上に、例えばCVD法により、キュリー点(T_c)以上の温度で膜厚120nmのPZT膜を堆積し、(001)配向の正方晶系PZT膜膜よりなるキャパシタ誘電体膜44を形成する。

【0106】

次いで、全面に、例えばCVD法により、膜厚100nmのプラチナ膜を堆積し、プラチナ膜よりなる上部電極46を形成する(図14(b))。

【0107】

こうして、1トランジスタ、1キャパシタを有し、キャパシタ誘電体膜の分極方向が電界印加方向と平行である強誘電体メモリを形成することができる。

【0108】

このように、本実施形態によれば、下部電極 4 2 の下層に、シリコン基板 1 0 からの応力の影響を緩和するバッファ層としての構造体 4 0 を設けるので、基板としてキャパシタ誘電体膜 4 4 よりも熱膨張係数の小さいシリコンを用いていた場合であっても、(0 0 1) 配向したキャパシタ誘電体膜を形成することができる。したがって、キャパシタ誘電体膜の分極方向を、上部電極 4 6 と下部電極 4 2 との間に印加される電界の方向と並行にすることができ、強誘電体膜の有する本来の分極の大きさをそのまま利用することができる。

【0 1 0 9】

また、構造体 4 0 を筒状体とするので、下部電極 4 2 の表面積を大幅に増加することができる。したがって、同一の床面積及び高さを有する下部電極により、より大きなキャパシタ面積を確保することができ、素子の高集積化が容易となる。

【0 1 1 0】

[第 4 実施形態]

本発明の第 4 実施形態による半導体装置及びその製造方法について図 1 5 乃至図 1 8 を用いて説明する。なお、図 2 乃至図 1 4 に示す第 1 乃至第 3 実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し、説明を省略し或いは簡略にする。

【0 1 1 1】

図 1 5 は本実施形態による半導体装置の構造を示す概略断面図、図 1 6 乃至図 1 8 は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0 1 1 2】

はじめに、本実施形態による半導体装置について 1 5 を用いて説明する。

【0 1 1 3】

本実施形態による半導体装置は、図 1 5 に示すように、下部電極 4 2 がバッファ層としての構造体を兼ねる点は、第 2 実施形態による半導体装置と同様である。本実施形態による半導体装置は、下部電極 4 2 が図 8 に示すような柱状体ではなく筒状体である点に主たる特徴がある。このようにして半導体装置を構成することにより、第 2 実施形態による半導体装置と同様の効果を得ることができると

ともに、キャパシタ面積を容易に増加することができる。

【0114】

次に、本実施形態による半導体装置の製造方法について図16乃至図18を用いて説明する。

【0115】

まず、例えば図3(a)乃至図3(c)に示す第1実施形態による半導体装置の製造方法と同様にして、メモリセルトランジスタ、層間絶縁膜22等を形成する。

【0116】

次いで、層間絶縁膜22上に、例えばCVD法によりシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜30を形成する。

【0117】

次いで、層間絶縁膜30上に、例えばCVD法によりシリコン窒化膜を堆積し、シリコン窒化膜よりなるエッチングストッパ膜52を形成する。

【0118】

次いで、リソグラフィ技術及びエッチング技術により、エッチングストッパ膜52、層間絶縁膜30、22に、ソース／ドレイン拡散層20に達するコンタクトホール32を形成する(図16(a))。

【0119】

次いで、例えばスパッタ法により、窒化チタン／チタンの積層構造よりなる密着層とタンゲステン膜とを堆積した後、層間絶縁膜30の表面が露出するまでCMP法により研磨する。こうして、コンタクトホール32内に埋め込まれ、ソース／ドレイン拡散層20に電氣的に接続されたプラグ34を形成する。

【0120】

次いで、エッチングストッパ膜52上に、例えばCVD法により、膜厚600nmのシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜48を形成する(図16(b))。

【0121】

次いで、リソグラフィ技術及びエッチング技術により層間絶縁膜48をパタ

ーニングし、層間絶縁膜 4 8 に、エッチングストッパ膜 5 2 に達し、プラグ 3 4 を露出する開口部 5 0 を形成する（図 1 6（c））。

【0 1 2 2】

次いで、例えばスパッタ法により窒化チタン膜を堆積し、窒化チタン膜よりなるバリアメタル層 3 6 を形成する。

【0 1 2 3】

次いで、バリアメタル層 3 6 上に、例えば段差被覆性に優れた C V D 法により、膜厚 1 0 0 n m の（1 0 0）配向したプラチナ膜を堆積する。

【0 1 2 4】

次いで、例えば C M P 法により、層間絶縁膜 4 8 の表面が露出するまでプラチナ膜及びバリアメタル層 3 6 を平坦に研磨し、プラチナ膜及びバリアメタル層 3 6 を開口部 5 0 内に選択的に残存させる。こうして、プラチナ膜よりなり、開口部 5 0 の内壁及び底部に沿って形成され、バリアメタル層 3 6 及びプラグ 3 4 を介してソース／ドレイン拡散層 2 0 に電氣的に接続された下部電極 4 2 を形成する（図 1 7（a））。

【0 1 2 5】

次いで、例えば弗酸系の水溶液を用いたウェットエッチングにより、エッチングストッパ膜 5 2 をストッパとして、層間絶縁膜 4 8 を選択的に除去する（図 1 7（b））。

【0 1 2 6】

次いで、例えば硫酸と過酸化水素とを含む水溶液を用いたウェットエッチングにより、エッチングストッパ膜 5 2 をストッパとして、バリアメタル層 3 6 を選択的にエッチングする（図 1 8（a））。なお、このエッチングにおいて、下部電極 4 2 と層間絶縁膜 3 0 との間に間隙が形成されるまでバリアメタル層 3 6 をエッチングすれば、下部電極 4 2 と下地構造との接触面積を大幅に減少することができるので、キャパシタ誘電体膜 4 4 堆積後の冷却過程においてキャパシタ誘電体膜 4 4 が受けるシリコン基板 1 0 からの引張り応力を更に緩和することができる。

【0 1 2 7】

次いで、下部電極42上に、例えばCVD法により、キュリー点(T_c)以上の温度で膜厚120nmのPZT膜を堆積し、(001)配向の正方晶系PZT膜よりなるキャパシタ誘電体膜44を形成する。

【0128】

次いで、全面に、例えばCVD法により、膜厚100nmのプラチナ膜を堆積し、プラチナ膜よりなる上部電極46を形成する(図18(b))。

【0129】

こうして、1トランジスタ、1キャパシタを有し、キャパシタ誘電体膜の分極方向が電界印加方向と平行である強誘電体メモリを形成することができる。

【0130】

このように、本実施形態によれば、下部電極42により、シリコン基板10からの応力の影響を緩和するバッファ層を兼ねる構造体を構成するので、基板としてキャパシタ誘電体膜44よりも熱膨張係数の小さいシリコンを用いていた場合であっても、(001)配向したキャパシタ誘電体膜を形成することができる。したがって、キャパシタ誘電体膜の分極方向を、上部電極46と下部電極42との間に印加される電界の方向と並行にすることができ、強誘電体膜の有する本来の分極の大きさをそのまま利用することができる。

【0131】

また、下部電極42を筒状体とするので、下部電極42の表面積を大幅に増加することができる。したがって、同一の床面積及び高さを有する下部電極により、より大きなキャパシタ面積を確保することができ、素子の高集積化が容易となる。

【0132】

〔変形実施形態〕

本発明は上記実施形態に限らず種々の変形が可能である。

【0133】

例えば、上記実施形態では、下部電極42として(100)配向のプラチナ膜を用い、キャパシタ誘電体膜44として(001)配向の正方晶系PZT膜を用いたが、下部電極42として(111)配向のプラチナ膜を用い、キャパシタ誘

電体膜 44 として (111) 配向の菱面体晶系 PZT 膜を用いてもよい。(111) 配向の菱面体晶系 PZT 膜を用いた場合においても、キャパシタ誘電体膜 44 の分極方向は上部電極 46 と下部電極 42 との間に印加される電界の方向と並行となり、強誘電体膜の有する本来の分極の大きさをそのまま利用することができる。

【0134】

(111) 配向したプラチナ膜は、例えば、溶液気化型の CVD 法において、酸素を導入しないことにより、(111) 配向のプラチナ膜を堆積することができる。

【0135】

また、(111) 配向した菱面体晶系 PZT 膜は、例えば溶液気化型の CVD 法において、Zr/Ti 比が例えば 60/40 となるように原料流量比を制御することにより形成することができる。この組成の PZT 膜を堆積した場合、PZT 膜は立方晶系で (111) 方向に配向しやすくなる。(111) 配向した PZT 膜は、キュリー温度以上の温度から室温への冷却中に立方晶から菱面体晶に相転移する。この相転移の際、バッファ層による均一な圧縮応力を受け (111) 配向した菱面体晶の PZT 膜が形成されることとなる。

【0136】

また、下部電極 42 を構成する材料及びキャパシタ誘電体膜 44 を構成する材料は、プラチナ膜や PZT 膜に限定されるものではない。

【0137】

本発明は、ペロブスカイト構造を有する強誘電体膜をキャパシタ誘電体膜に用いる場合に広く適用することができ、PZT 膜のほか、 SrTiO_3 膜や $\text{Bi}_2\text{SrTaO}_9$ 膜などにおいても同様の効果を得ることができる。

【0138】

また、下部電極 42 及び上部電極 46 を構成する材料は、キャパシタ誘電体膜 44 との相性によって適宜選択することが望ましい。キャパシタ誘電体 44 として SrTiO_3 膜や $\text{Bi}_2\text{SrTaO}_9$ 膜を用いる場合には、電極材料としては、プラチナ、ルテニウム、酸化ルテニウム、タングステン、SRO (SrRuO_3)

）などを用いることができる。

【0139】

また、下部電極42をバッファ層としての構造体と兼用する場合には、キャパシタ誘電体膜44よりも熱膨張係数の大きな導電性材料、例えば、プラチナ、銀（Ag）、金（Au）、クロム（Cr）、銅（Cu）、イリジウム（Ir）、ニッケル（Ni）、タンタル（Ta）、チタン（Ti）などを用いることができる。

【0140】

また、上記第1及び第3実施形態では、構造体40としてMgO膜を適用したが、キャパシタ誘電体膜44よりも熱膨張係数が大きな材料であればMgO膜に限定されるものではなく、例えば、 $MgAl_2O_4$ 、CaO、 ZrO_2 、 Y_2O_3 などを適用することができる。

【0141】

また、これら絶縁材料に限らず、上述のプラチナ、銀、金、クロム、銅、イリジウム、ニッケル、タンタル、チタンなどの材料によって構造体40を構成してもよい。この場合、構造体40により下部電極42とバリアメタル層36とのコンタクトをとることができるので、例えば図2や図11のように必ずしも下部電極42とバリアメタル層36とを直接接続させる必要はない。

【0142】

また、上記実施形態では、強誘電体容量素子を半導体記憶装置に適用する場合を想定し、強誘電体容量素子をシリコン基板上に形成する場合を示したが、本発明は強誘電体容量素子を強誘電体膜よりも熱膨張係数の小さな基板上に形成する場合に顕著な効果を得ることができる。また、強誘電体膜よりも熱膨張係数の大きな基板上に強誘電体膜を形成する場合であっても、本発明の効果を達成するうえで妨げとなることはない。したがって、基板はシリコンに限られるものではなく、例えば、GaAsなどの二元化合物基板や、MgO基板、 $SrTiO_3$ 基板、 $LaAlO_3$ 基板などの酸化物基板上に強誘電体容量素子を形成する場合においても、本発明を適用することができる。

【0143】

以上詳述したように、本発明による半導体装置及びその製造方法の特徴をまとめると以下の通りとなる。

【 0 1 4 4 】

(付記 1) 基板上に形成されたバッファ体と、前記バッファ体上に形成された下部電極と、前記下部電極上に形成され、前記バッファ体の熱膨張係数よりも小さい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成された上部電極とを有することを特徴とする容量素子。

【 0 1 4 5 】

(付記 2) 付記 1 記載の容量素子において、前記キャパシタ誘電体膜の熱膨張係数は、前記基板の熱膨張係数よりも大きいことを特徴とする容量素子。

【 0 1 4 6 】

(付記 3) 基板上に形成された下部電極と、前記下部電極上に形成され、前記基板の熱膨張係数よりも大きい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成された上部電極とを有することを特徴とする容量素子。

【 0 1 4 7 】

(付記 4) 付記 3 記載の容量素子において、前記下部電極の熱膨張係数は、前記キャパシタ誘電体膜の熱膨張係数よりも大きいことを特徴とする容量素子。

【 0 1 4 8 】

(付記 5) 付記 1 乃至 4 のいずれか 1 項に記載の容量素子において、前記キャパシタ誘電体膜は、結晶構造が正方晶であり (0 0 1) 方向に配向していることを特徴とする容量素子。

【 0 1 4 9 】

(付記 6) 付記 5 記載の容量素子において、前記下部電極は、結晶構造が立方晶であり (1 0 0) 方向に配向していることを特徴とする容量素子。

【 0 1 5 0 】

(付記 7) 付記 1 乃至 4 のいずれか 1 項に記載の容量素子において、前記キ

ャパシタ誘電体膜は、結晶構造が菱面体晶であり（１１１）方向に配向していることを特徴とする容量素子。

【０１５１】

（付記８） 付記７記載の容量素子において、前記下部電極は、結晶構造が立方晶であり（１１１）方向に配向していることを特徴とする容量素子。

【０１５２】

（付記９） 半導体基板上に形成され、ゲート電極と、前記ゲート電極の両側の前記半導体基板中にそれぞれ設けられたソース／ドレイン拡散層とを有するメモリセルトランジスタと、前記メモリセルトランジスタが形成された前記半導体基板上を覆う絶縁膜と、前記絶縁膜上に形成されたバッファ体と、前記バッファ体上に形成され、前記ソース／ドレイン拡散層に電氣的に接続された下部電極と、前記下部電極上に形成され、前記バッファ体の熱膨張係数よりも小さい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成された上部電極とを有する容量素子とを有することを特徴とする半導体装置。

【０１５３】

（付記１０） 半導体基板上に形成され、ゲート電極と、前記ゲート電極の両側の前記半導体基板中にそれぞれ設けられたソース／ドレイン拡散層とを有するメモリセルトランジスタと、前記メモリセルトランジスタが形成された前記半導体基板上を覆う絶縁膜と、前記絶縁膜上に形成され、前記ソース／ドレイン拡散層に電氣的に接続された下部電極と、前記下部電極上に形成され、前記半導体基板の熱膨張係数よりも大きい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したするペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成された上部電極とを有する容量素子とを有することを特徴とする半導体装置。

【０１５４】

（付記１１） 基板上に、バッファ体を形成する工程と、前記バッファ体上に、下部電極を形成する工程と、前記下部電極上に、前記バッファ体の熱膨張係数

よりも小さい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜を形成する工程と、前記キャパシタ誘電体膜上に、上部電極を形成する工程とを有することを特徴とする容量素子の製造方法。

【 0 1 5 5 】

(付記 1 2) 付記 1 1 記載の容量素子の製造方法において、前記バッファ体を形成する工程では、前記キャパシタ誘電体膜を形成する工程において前記基板と前記キャパシタ誘電体膜との熱膨張係数差に基づく引張り応力が前記キャパシタ誘電体膜に加わらないように、前記バッファ体の形状を設定することを特徴とする容量素子の製造方法。

【 0 1 5 6 】

(付記 1 3) 基板上に、下部電極を形成する工程と、前記下部電極上に、前記基板の熱膨張係数よりも大きい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜を形成する工程と、前記キャパシタ誘電体膜上に、上部電極を形成する工程とを有することを特徴とする容量素子の製造方法。

【 0 1 5 7 】

(付記 1 4) 付記 1 3 記載の容量素子の製造方法において、前記下部電極を形成する工程では、前記キャパシタ誘電体膜を形成する工程において前記基板と前記キャパシタ誘電体膜との熱膨張係数差に基づく引張り応力が前記キャパシタ誘電体膜に加わらないように、前記下部電極の形状を設定することを特徴とする容量素子の製造方法。

【 0 1 5 8 】

(付記 1 5) 付記 1 1 乃至 1 4 のいずれか 1 項に記載の容量素子の製造方法において、前記キャパシタ誘電体膜を形成する工程では、結晶構造が正方晶であり (0 0 1) 方向に配向した前記キャパシタ誘電体膜を形成することを特徴とする容量素子の製造方法。

【 0 1 5 9 】

(付記 1 6) 付記 1 1 記載の容量素子の製造方法において、前記下部電極を形

成する工程では、結晶構造が立方晶であり（１００）方向に配向した前記下部電極を形成することを特徴とする容量素子の製造方法。

【０１６０】

（付記１７） 付記１１乃至１４のいずれか１項に記載の容量素子の製造方法において、前記キャパシタ誘電体膜を形成する工程では、結晶構造が菱面体晶であり（１１１）方向に配向した前記キャパシタ誘電体膜を形成することを特徴とする容量素子の製造方法。

【０１６１】

（付記１８） 付記２７記載の容量素子の製造方法において、前記下部電極を形成する工程では、結晶構造が立方晶であり（１１１）方向に配向した前記下部電極を形成することを特徴とする容量素子の製造方法。

【０１６２】

（付記１９） 半導体基板上に、ゲート電極と、前記ゲート電極の両側の前記半導体基板中にそれぞれ設けられたソース／ドレイン拡散層とを有するメモリセルトランジスタを形成する工程と、前記メモリセルトランジスタが形成された前記半導体基板上に、絶縁膜を形成する工程と、前記絶縁膜上に、バッファ体を形成する工程と、前記バッファ体上に、前記ソース／ドレイン拡散層に電氣的に接続された下部電極を形成する工程と、前記下部電極上に、前記バッファ体の熱膨張係数よりも小さい熱膨張係数を有し、前記下部電極の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜を形成する工程と、前記キャパシタ誘電体膜上に、上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【０１６３】

（付記２０） 半導体基板上に、ゲート電極と、前記ゲート電極の両側の前記半導体基板中にそれぞれ設けられたソース／ドレイン拡散層とを有するメモリセルトランジスタを形成する工程と、前記メモリセルトランジスタが形成された前記半導体基板上に、絶縁膜を形成する工程と、前記絶縁膜上に、前記ソース／ドレイン拡散層に電氣的に接続された下部電極を形成する工程と、前記下部電極上に、前記基板の熱膨張係数よりも大きい熱膨張係数を有し、前記下部電極の面と

実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜を形成する工程と、前記キャパシタ誘電体膜上に、上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【 0 1 6 4 】

【発明の効果】

以上の通り、本発明によれば、下部電極の下層に、基板からの応力の影響を緩和するバッファ層としての構造体を設けるので、基板としてキャパシタ誘電体膜よりも熱膨張係数の小さい材料を用いていた場合であっても、下部電極の面と垂直な方向に結晶が配向したキャパシタ誘電体膜を形成することができる。したがって、キャパシタ誘電体膜の分極方向を、上部電極と下部電極との間に印加される電界の方向と並行にすることができ、強誘電体膜の有する本来の分極の大きさをそのまま利用することができる。

【 0 1 6 5 】

また、下部電極によって基板からの応力の影響を緩和するバッファ層を兼ねる構造体を構成するので、基板としてキャパシタ誘電体膜よりも熱膨張係数の小さい材料を用いていた場合であっても、下部電極の面と垂直な方向に結晶が配向したキャパシタ誘電体膜を形成することができる。したがって、キャパシタ誘電体膜の分極方向を、上部電極と下部電極との間に印加される電界の方向と並行にすることができ、強誘電体膜の有する本来の分極の大きさをそのまま利用することができる。

【図面の簡単な説明】

【図 1】

本発明による半導体装置及びその製造方法の原理を示す概略断面図である。

【図 2】

本発明の第 1 実施形態による半導体装置の構造を示す概略断面図である。

【図 3】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 4】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 5】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 6】

本発明の第 1 実施形態による半導体装置と従来の半導体装置とにおけるデータ保持特性を示すグラフである。

【図 7】

本発明の第 1 実施形態の変形例による半導体装置の構造を示す概略断面図である。

【図 8】

本発明の第 2 実施形態による半導体装置の構造を示す概略断面図である。

【図 9】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図である。

【図 10】

本発明の第 2 実施形態の変形例による半導体装置の構造を示す概略断面図である。

【図 11】

本発明の第 3 実施形態による半導体装置の構造を示す概略断面図である。

【図 12】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 13】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 14】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 1 5】

本発明の第 4 実施形態による半導体装置の構造を示す概略断面図である。

【図 1 6】

本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 1 7】

本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 1 8】

本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 1 9】

従来の半導体装置の構造及び課題を説明する概略断面図である。

【図 2 0】

(0 0 1) 配向した P Z T 膜を形成する従来の方法を示す概略断面図である。

【図 2 1】

(0 0 1) 配向した P Z T 膜を用いた不揮発性記憶装置と (1 1 1) 配向した P Z T 膜を用いた不揮発性記憶装置におけるデータ保持時間を示すグラフである。

【図 2 2】

下部電極下に強誘電体膜よりも熱膨張係数の大きなバッファ層を設けた場合を示す概略断面図である。

【符号の説明】

1 0 … シリコン基板

1 2 … 素子分離膜

1 4 … ゲート絶縁膜

1 6 … ゲート電極

1 8、2 0 … ソース／ドレイン拡散層

2 2、3 0、4 8 … 層間絶縁膜

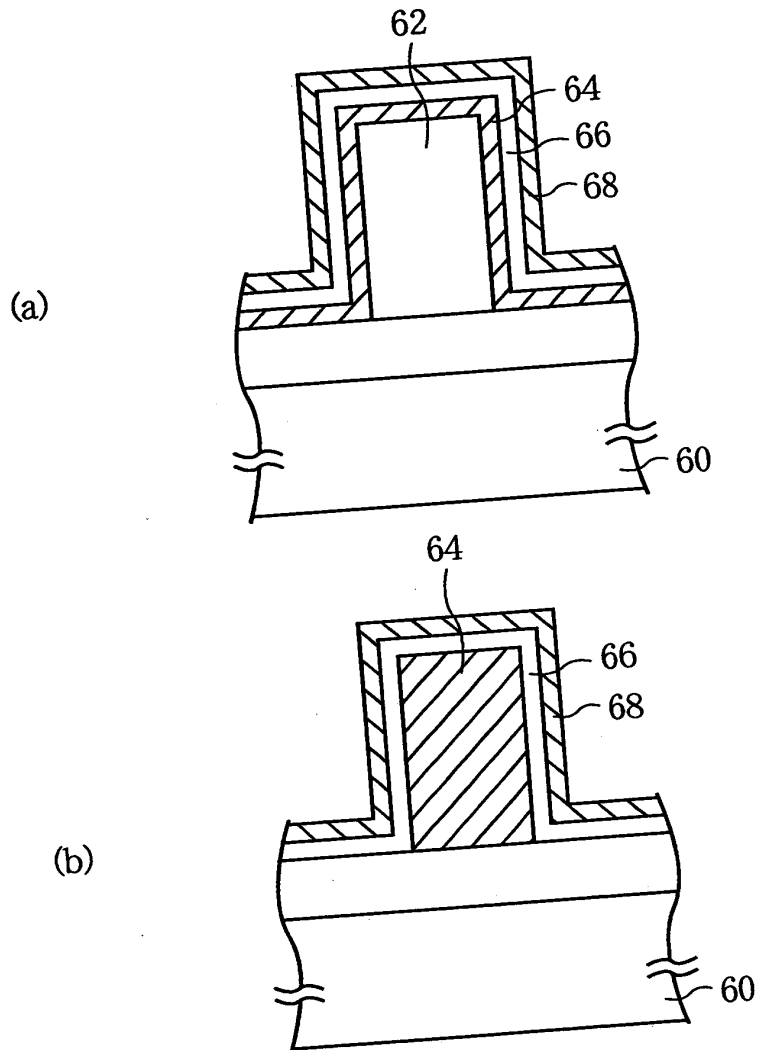
2 4、3 2…コンタクトホール
 2 6、3 4…プラグ
 2 8…ビット線
 3 6…バリアメタル層
 3 8…M g O 膜
 4 0…構造体
 4 2…下部電極
 4 4…キャパシタ誘電体膜
 4 6…上部電極
 5 0…開口部
 5 2…エッチングストッパ膜
 6 0…基板
 6 2…構造体
 6 4…下部電極
 6 6…キャパシタ誘電体膜
 6 8…上部電極
 1 0 0…下部電極
 1 0 2…強誘電体膜
 1 0 4…上部電極
 1 0 6…1 8 0° 分域壁
 1 0 8…9 0° 分域壁
 1 1 0…M g O 基板
 1 1 2…(1 0 0) 配向したプラチナ膜
 1 1 4…(0 0 1) 配向した P Z T 膜
 1 2 0…シリコン基板
 1 2 2…非晶質絶縁膜
 1 2 4…バッファ層
 1 2 6…(1 0 0) 配向したプラチナ膜
 1 2 8…(1 0 0) 配向した P Z T 膜

【書類名】

図面

【図1】

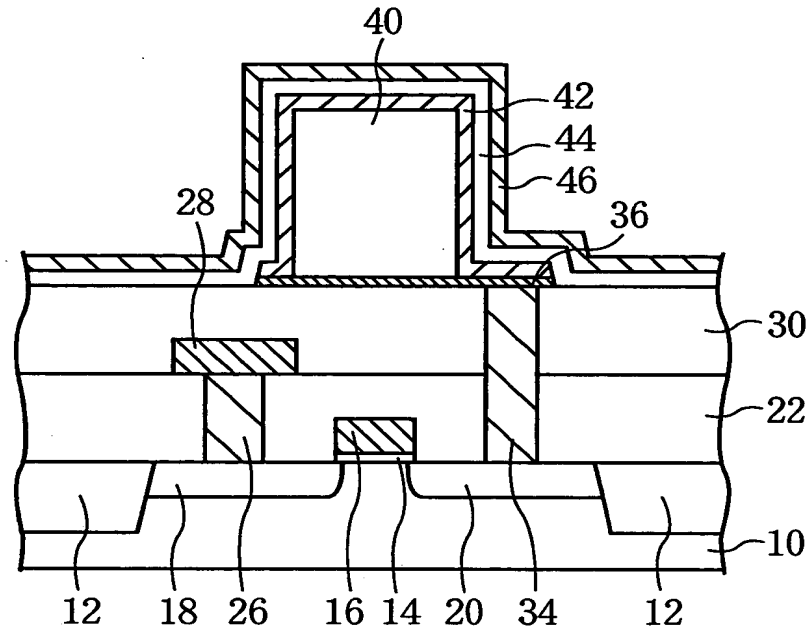
本発明による半導体装置及びその製造方法の
原理を示す概略断面図



60 … 基板
62 … 構造体
64 … 下部電極
66 … キャパシタ誘電体膜
68 … 上部電極

【図 2】

本発明の第1実施形態による半導体装置の構造を示す概略断面図

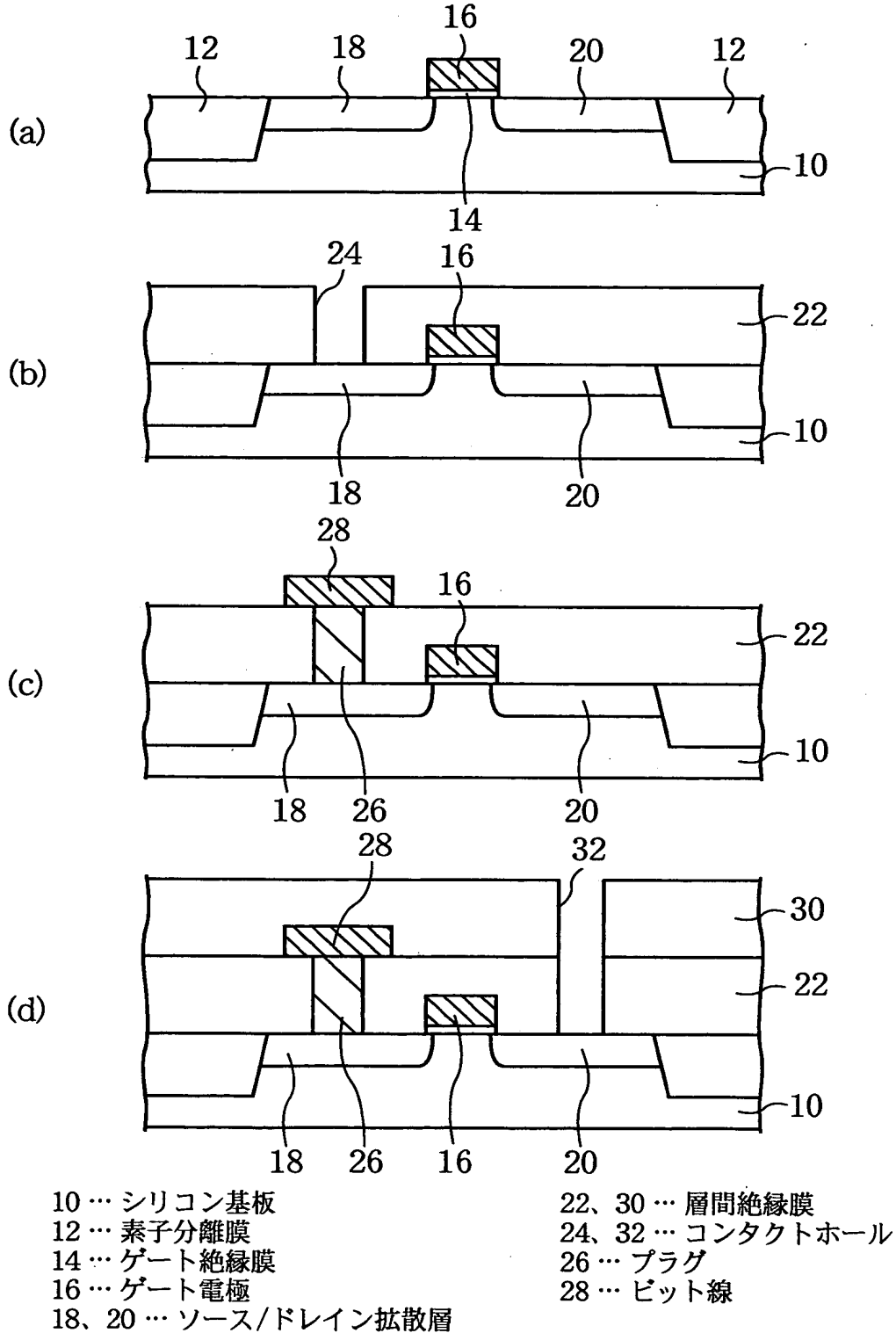


10 … シリコン基板
12 … 素子分離膜
14 … ゲート絶縁膜
16 … ゲート電極
18、20 … ソース/ドレイン拡散層
22、30 … 層間絶縁膜
26、34 … プラグ

28 … ビット線
36 … パリアメタル層
40 … 構造体
42 … 下部電極
44 … キャパシタ誘電体膜
46 … 上部電極

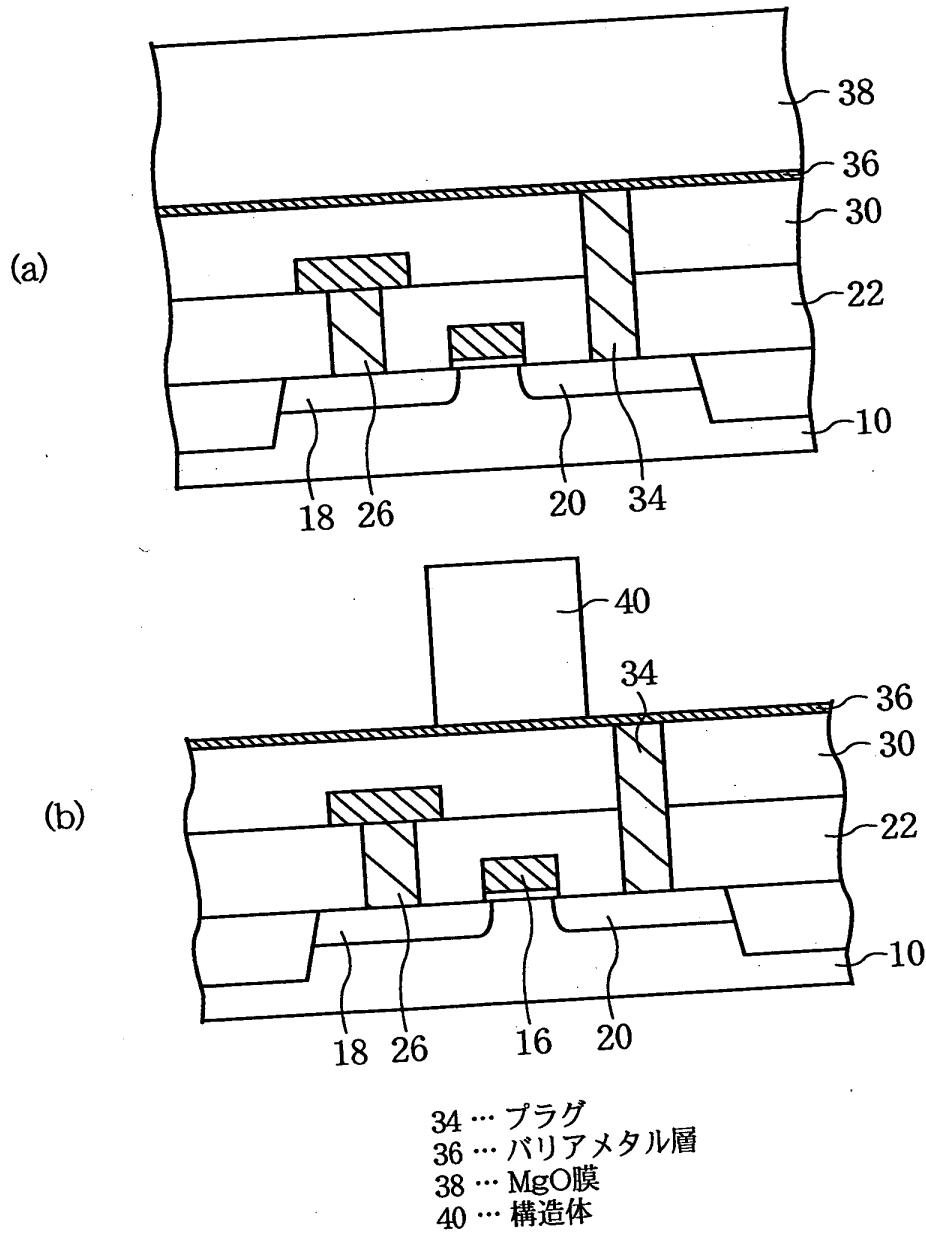
【図 3】

本発明の第1実施形態による半導体装置の
製造方法を示す工程断面図(その1)



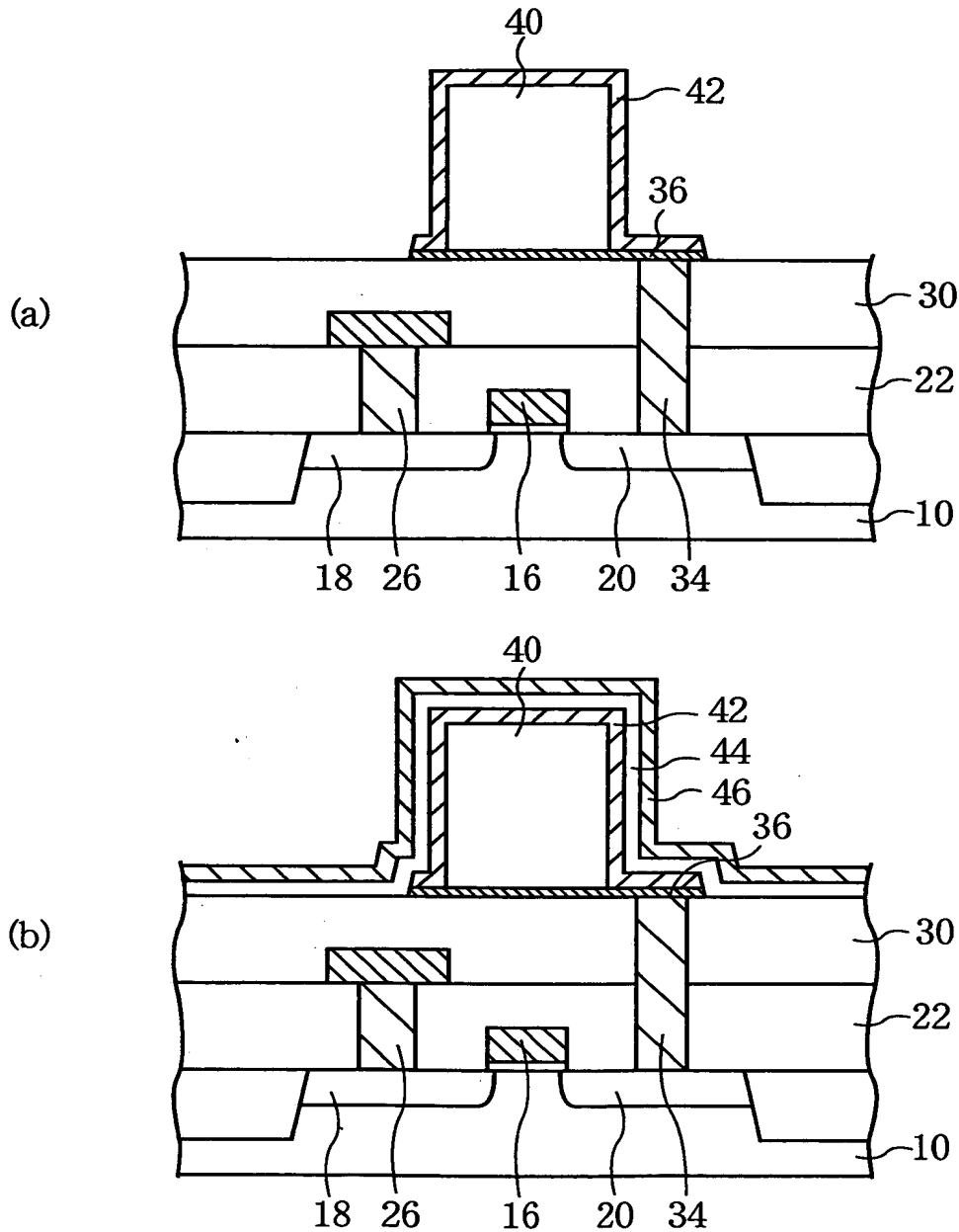
【図4】

本発明の第1実施形態による半導体装置の
製造方法を示す工程断面図(その2)



【図 5】

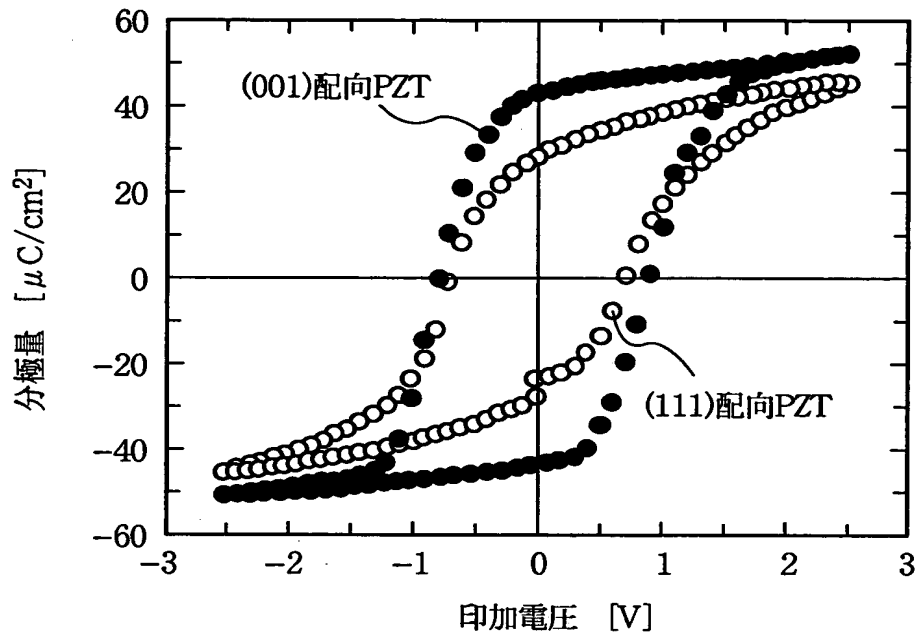
本発明の第1実施形態による半導体装置の
製造方法を示す工程断面図(その3)



42 … 下部電極
44 … キャパシタ誘電体膜
46 … 上部電極

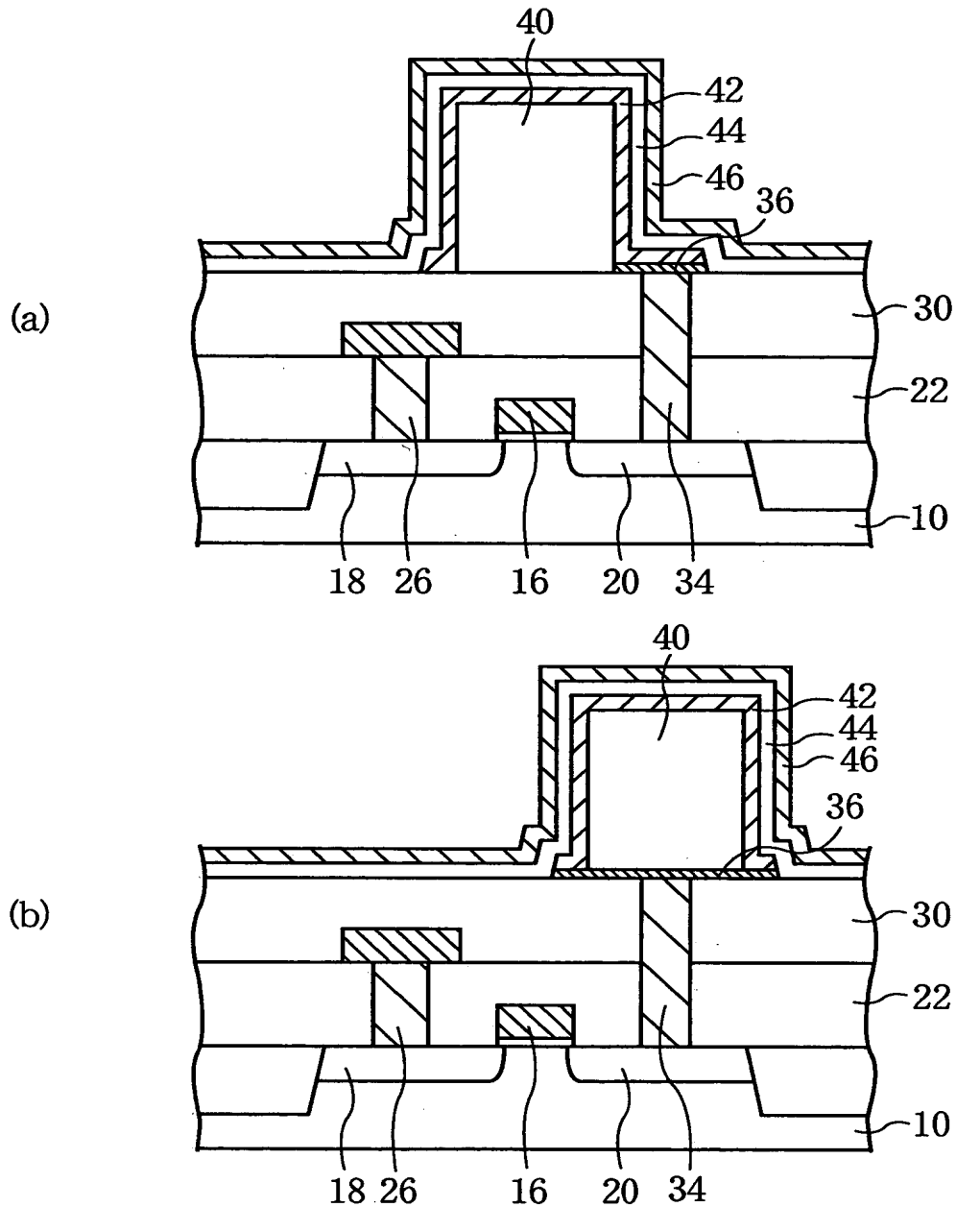
【図 6】

本発明の第1実施形態による半導体装置と従来の半導体装置とにおけるデータ保持特性を示すグラフ



【図 7】

本発明の第1実施形態の変形例による
半導体装置の構造を示す概略断面図

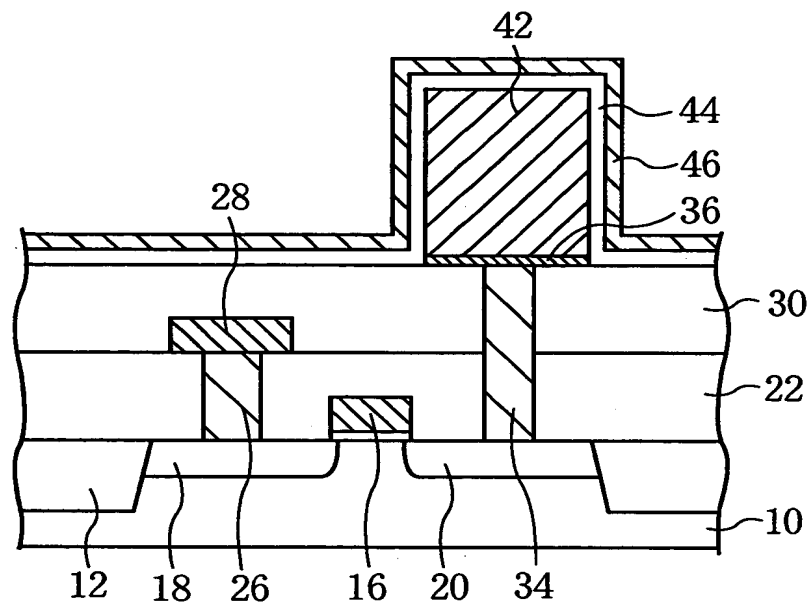


10 … シリコン基板
16 … ゲート絶縁膜
18、20 … ソース/ドレイン拡散層
22、30 … 層間絶縁膜
26、34 … プラグ
28 … ビット線

36 … バリアメタル層
40 … 構造体
42 … 下部電極
44 … キャパシタ誘電体膜
46 … 上部電極

【図 8】

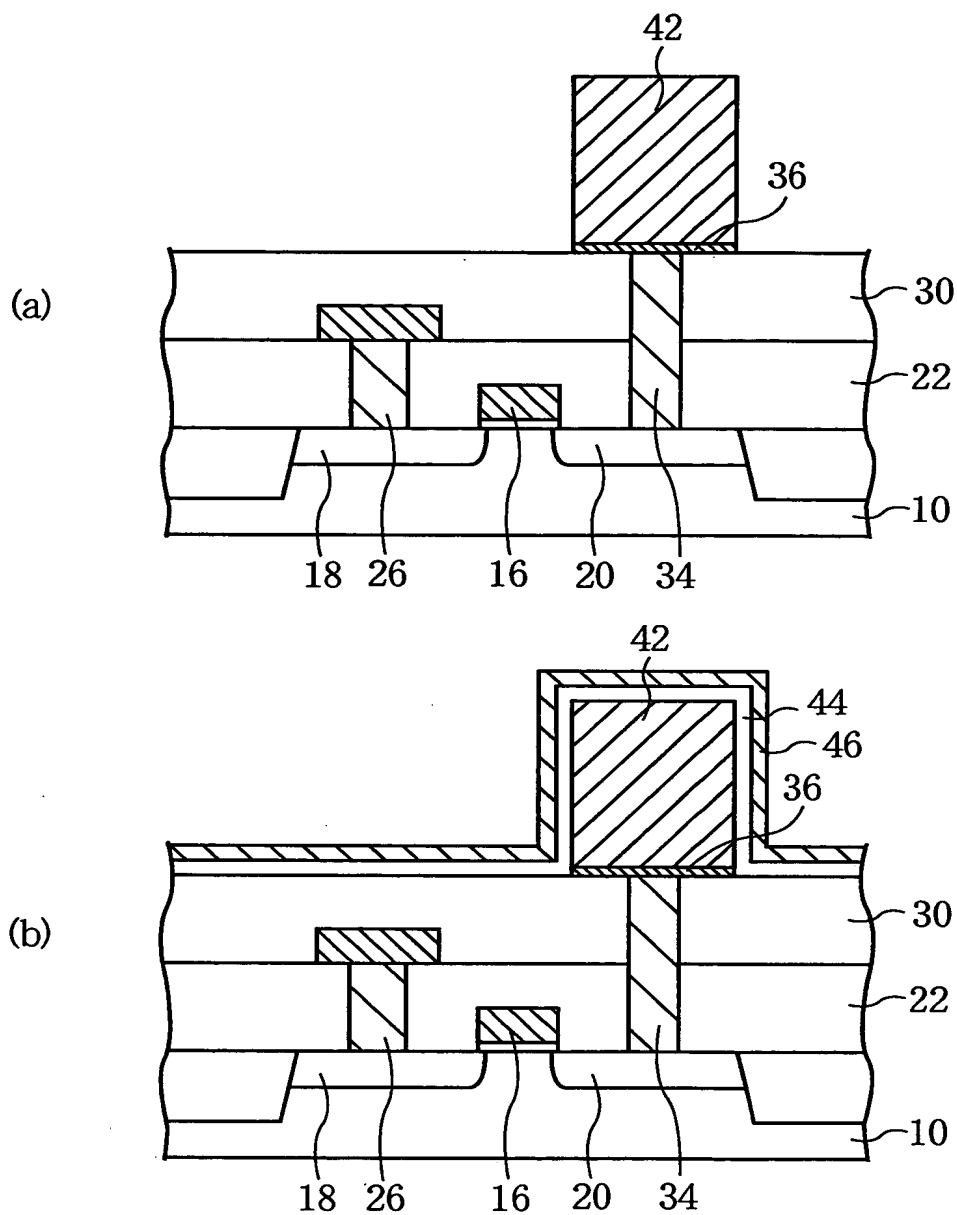
本発明の第2実施形態による半導体装置の構造を示す概略断面図



- | | |
|---------------------|----------------|
| 10 … シリコン基板 | 26、34 … プラグ |
| 12 … 素子分離膜 | 28 … ビット線 |
| 14 … ゲート絶縁膜 | 36 … バリアメタル層 |
| 16 … ゲート電極 | 42 … 下部電極 |
| 18、20 … ソース/ドレイン拡散層 | 44 … キャパシタ誘電体膜 |
| 22、30 … 層間絶縁膜 | 46 … 上部電極 |

【図 9】

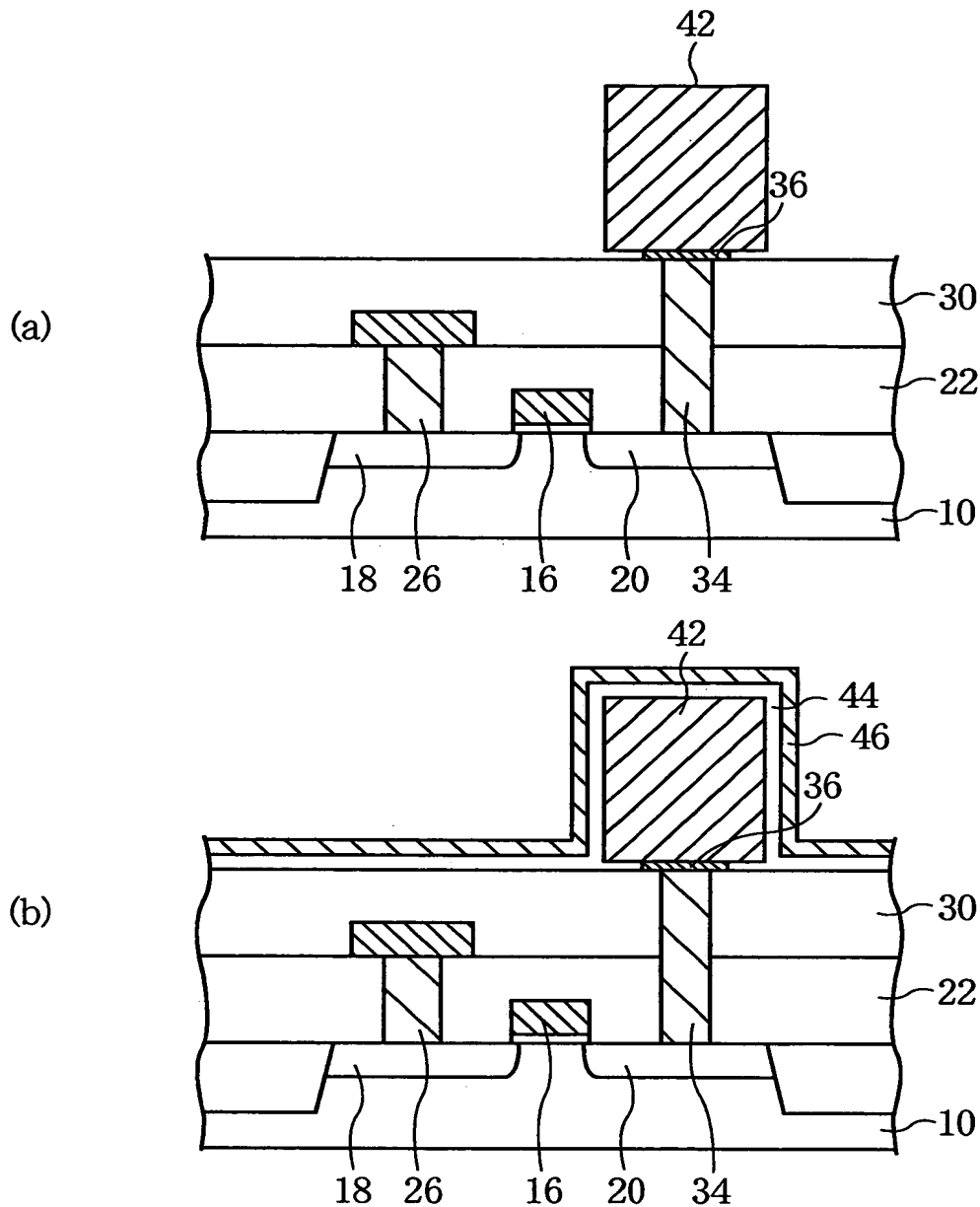
本発明の第2実施形態による半導体装置の
製造方法を示す工程断面図



36 … バリアメタル層
42 … 下部電極
44 … キャパシタ誘電体膜
46 … 上部電極

【図 1 0】

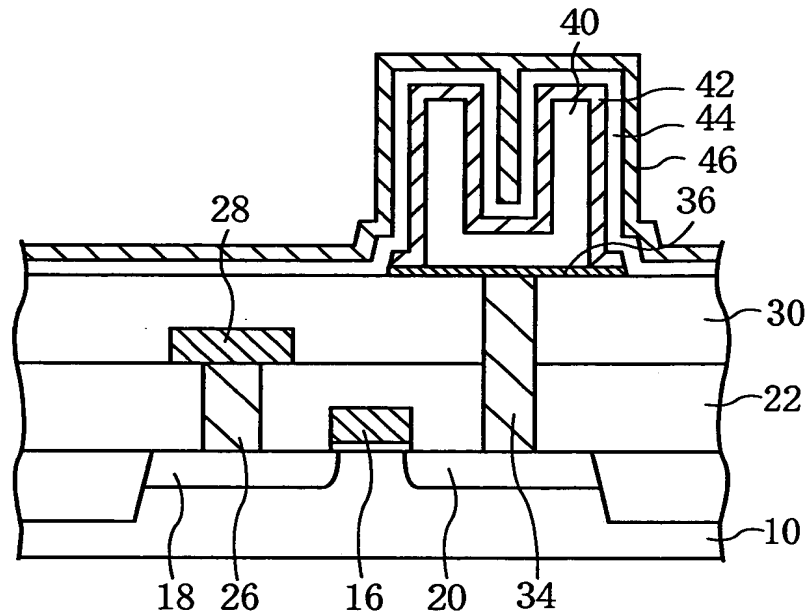
本発明の第2実施形態の変形例による
半導体装置の構造を示す概略断面図



36 … バリアメタル層
42 … 下部電極
44 … キャパシタ誘電体膜
46 … 上部電極

【図 1 1】

本発明の第3実施形態による半導体装置の構造を示す概略断面図

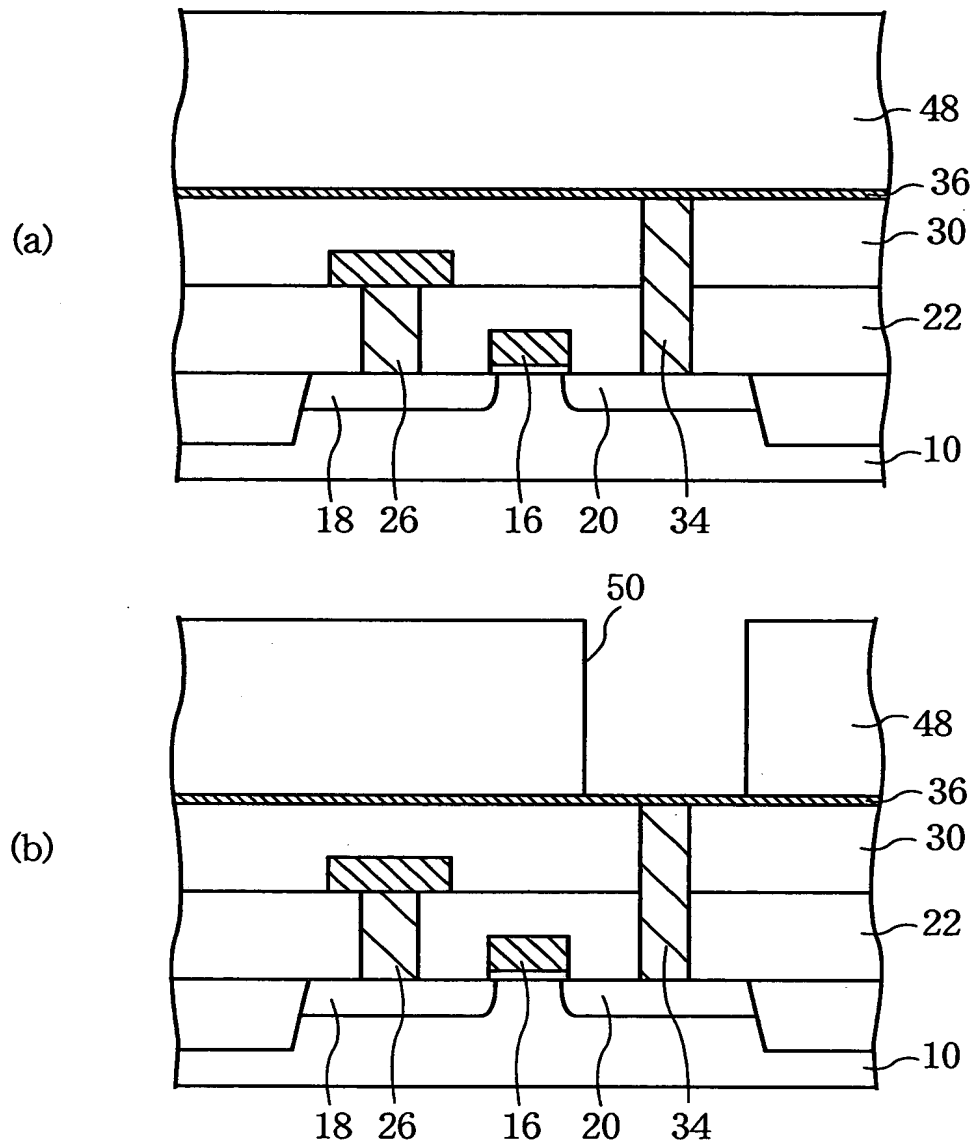


10 … シリコン基板
16 … ゲート電極
18、20 … ソース/ドレイン拡散層
22、30 … 層間絶縁膜
26、34 … プラグ
28 … ビット線

36 … パリアメタル層
40 … 構造体
42 … 下部電極
44 … キャパシタ誘電体膜
46 … 上部電極

【図 1 2】

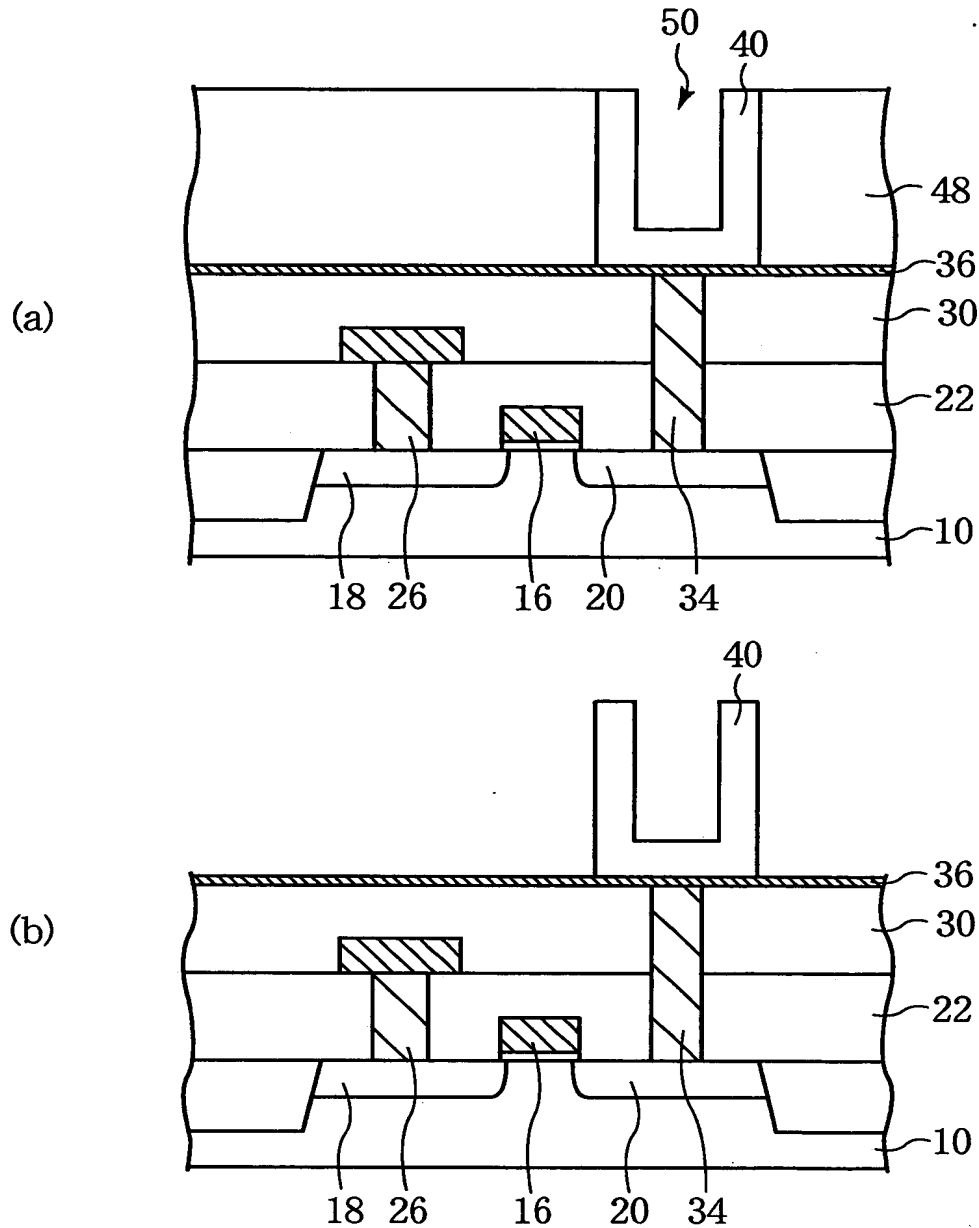
本発明の第3実施形態による半導体装置の
製造方法を示す工程断面図(その1)



34 … プラグ
36 … バリアメタル層
48 … 層間絶縁膜
50 … 開口部

【図 13】

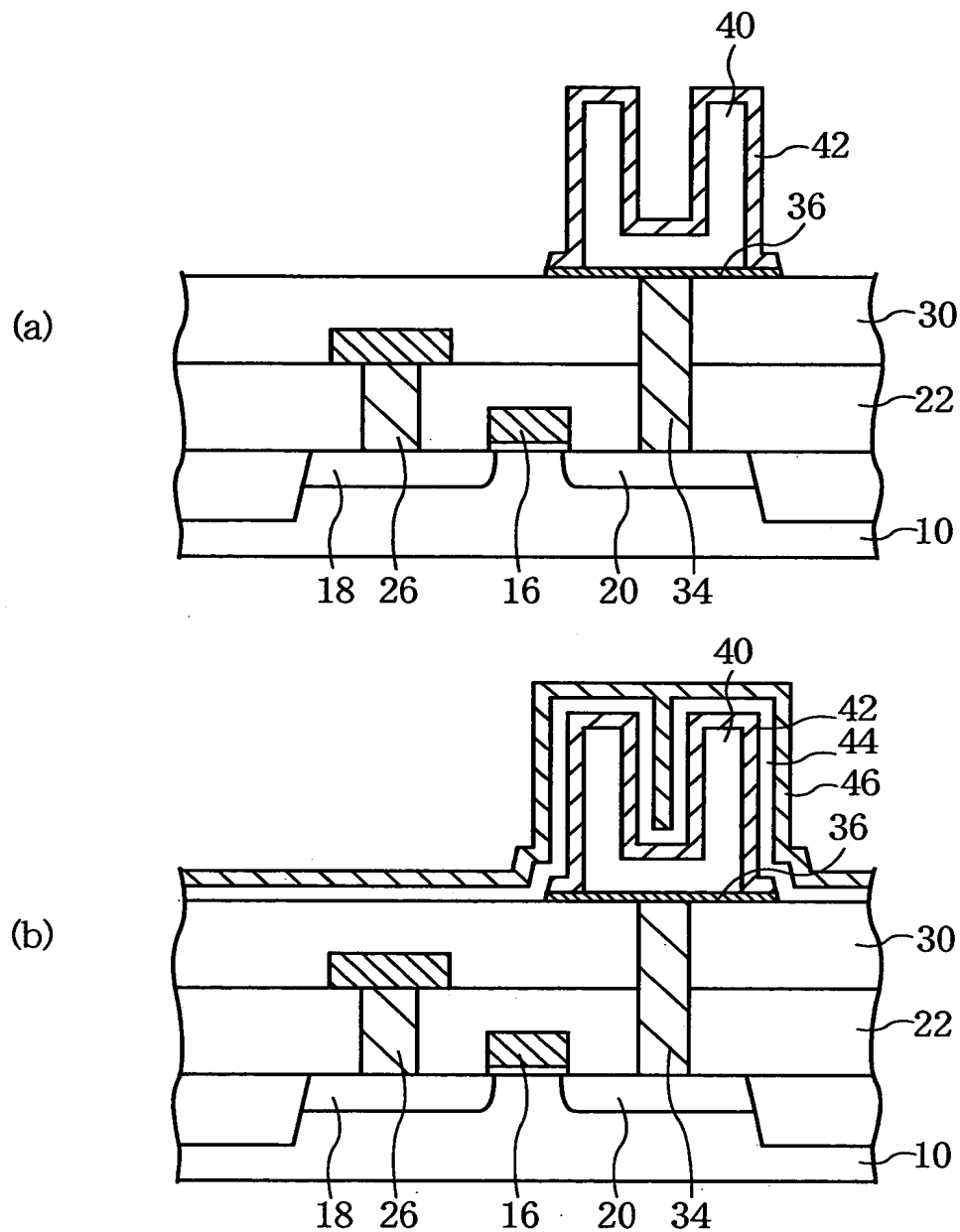
本発明の第3実施形態による半導体装置の
製造方法を示す工程断面図(その2)



40 … 構造体

【図14】

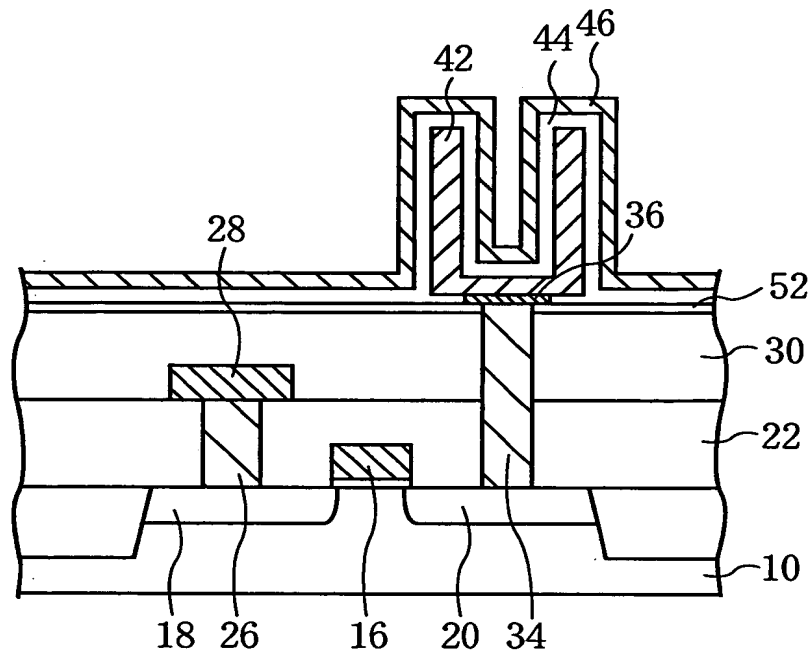
本発明の第3実施形態による半導体装置の
製造方法を示す工程断面図(その3)



42 … 下部電極
44 … キャパシタ誘電体膜
46 … 上部電極

【図15】

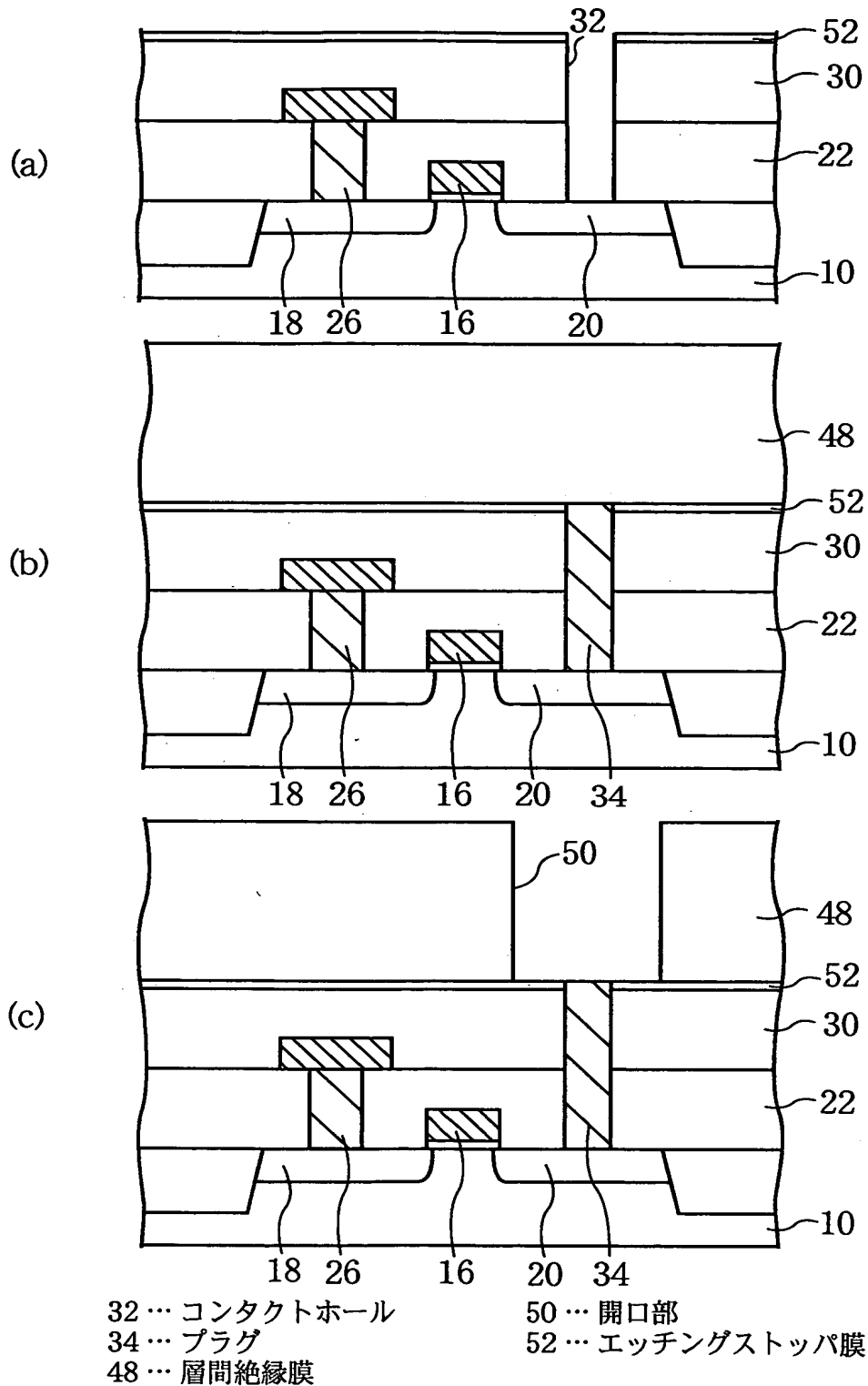
本発明の第4実施形態による半導体装置の構造を示す概略断面図



- | | |
|---------------------|-----------------|
| 10 … シリコン基板 | 36 … バリアメタル層 |
| 16 … ゲート電極 | 42 … 下部電極 |
| 18、20 … ソース/ドレイン拡散層 | 44 … キャパシタ誘電体膜 |
| 22、30 … 層間絶縁膜 | 46 … 上部電極 |
| 26、34 … プラグ | 52 … エッチングストップ膜 |
| 28 … ビット線 | |

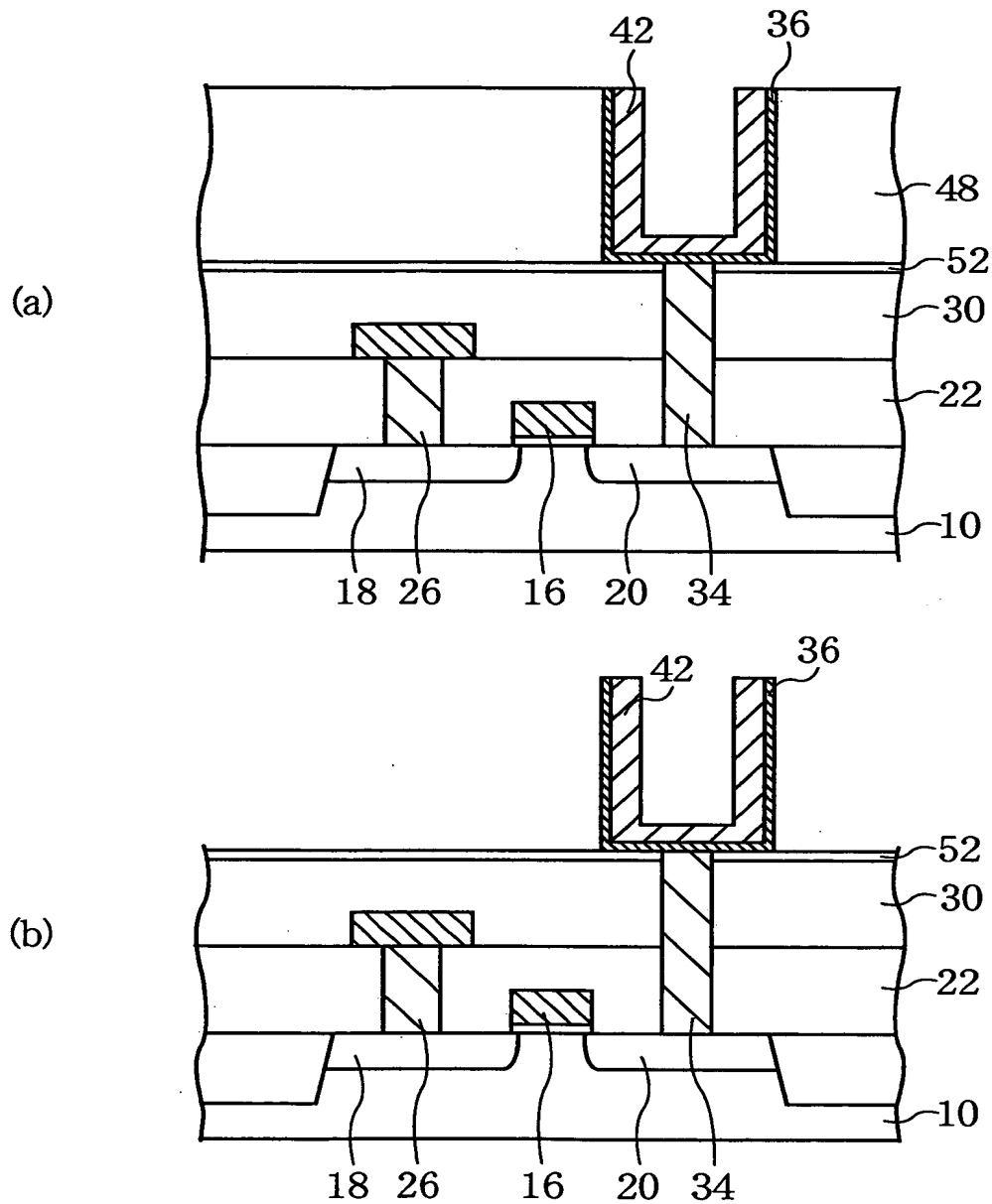
【図 1 6】

本発明の第4実施形態による半導体装置の
製造方法を示す工程断面図(その1)



【図17】

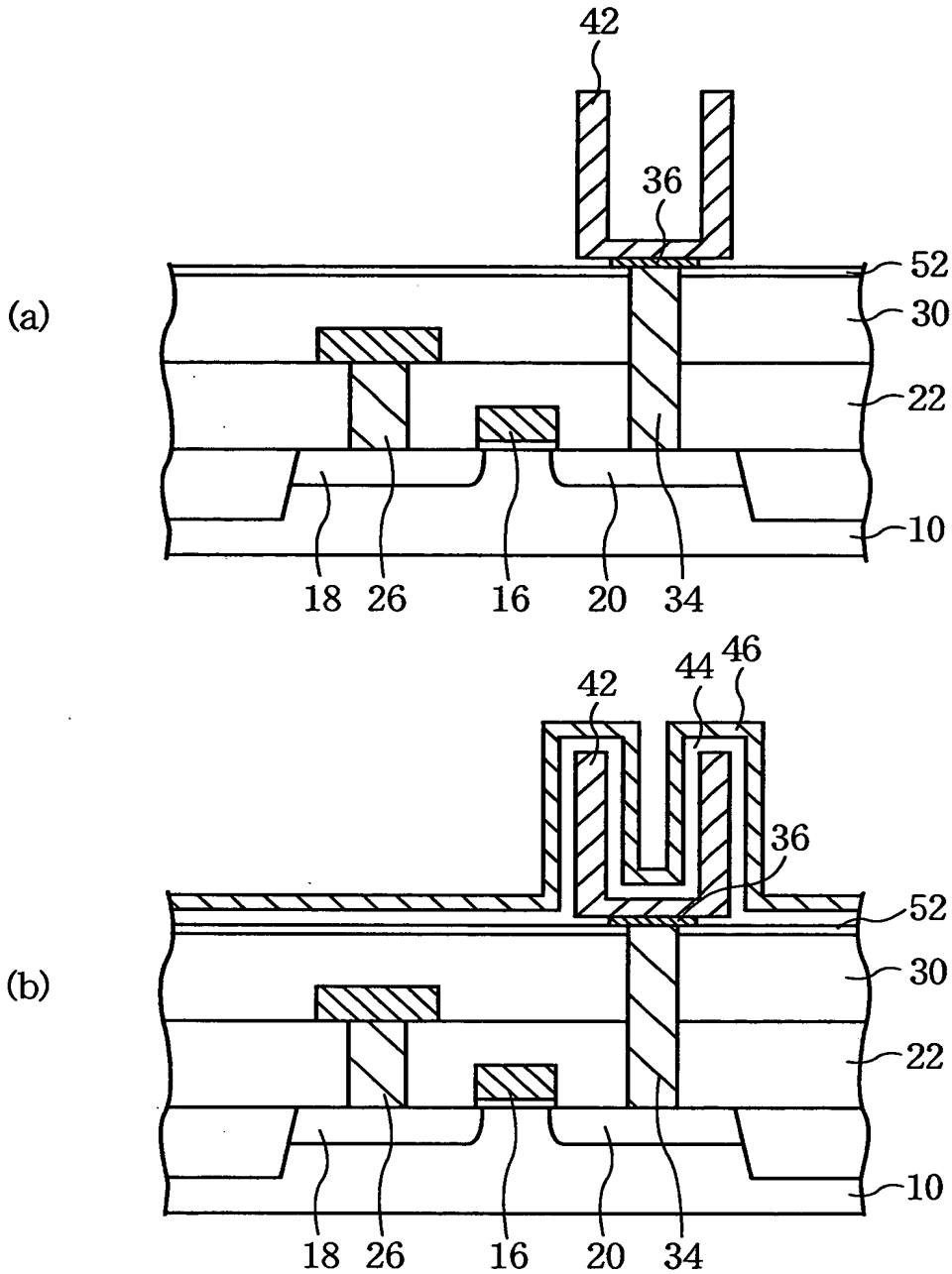
本発明の第4実施形態による半導体装置の
製造方法を示す工程断面図(その2)



36 … バリアメタル層
42 … 下部電極

【図18】

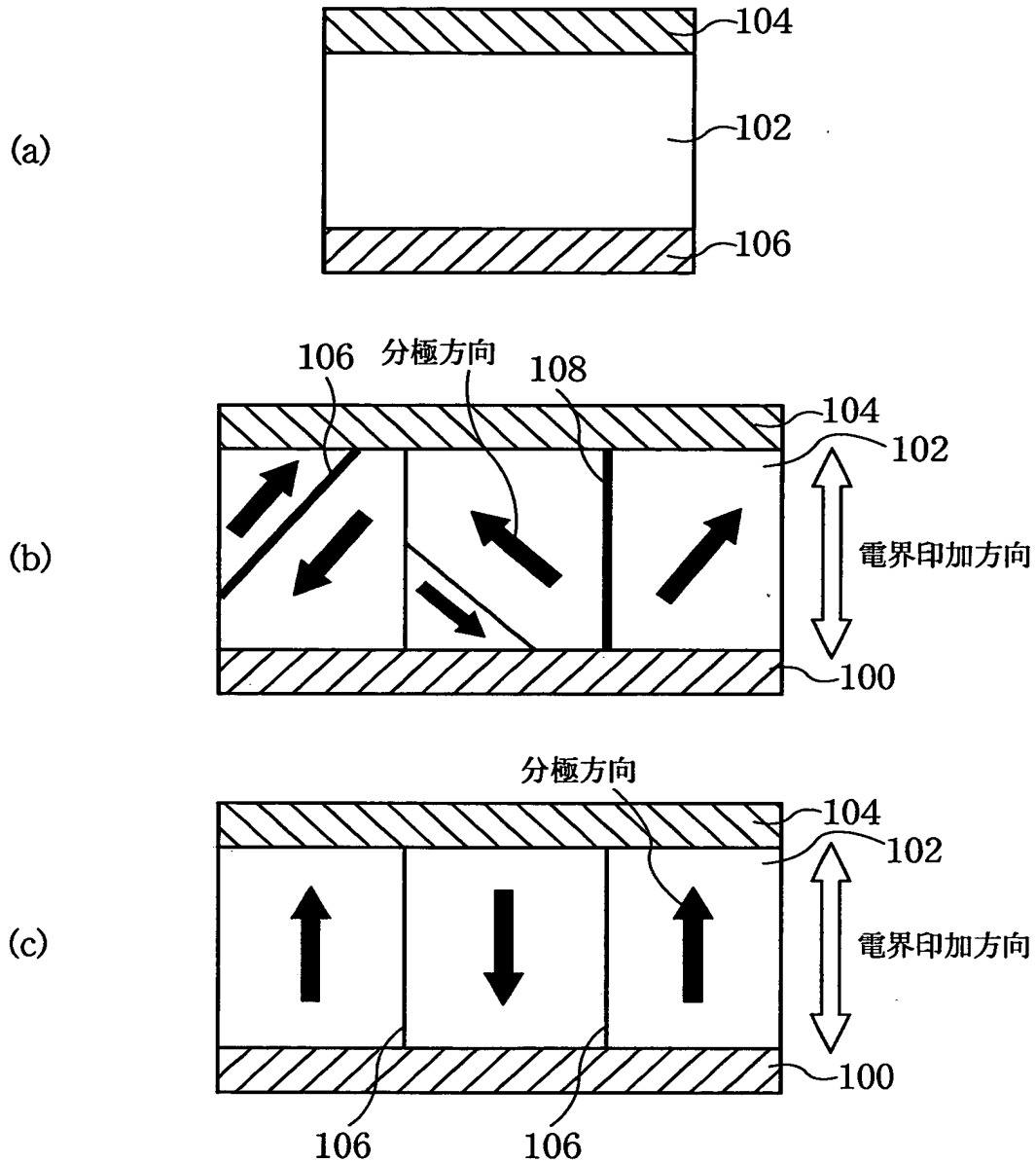
本発明の第4実施形態による半導体装置の
製造方法を示す工程断面図(その3)



44 … キャパシタ誘電体膜
46 … 上部電極

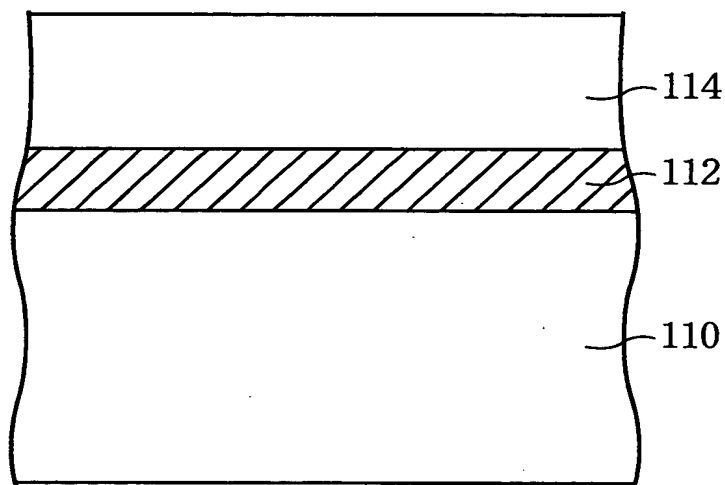
【図 1 9】

従来の半導体装置の構造及び課題を説明する概略断面図



【図 2 0】

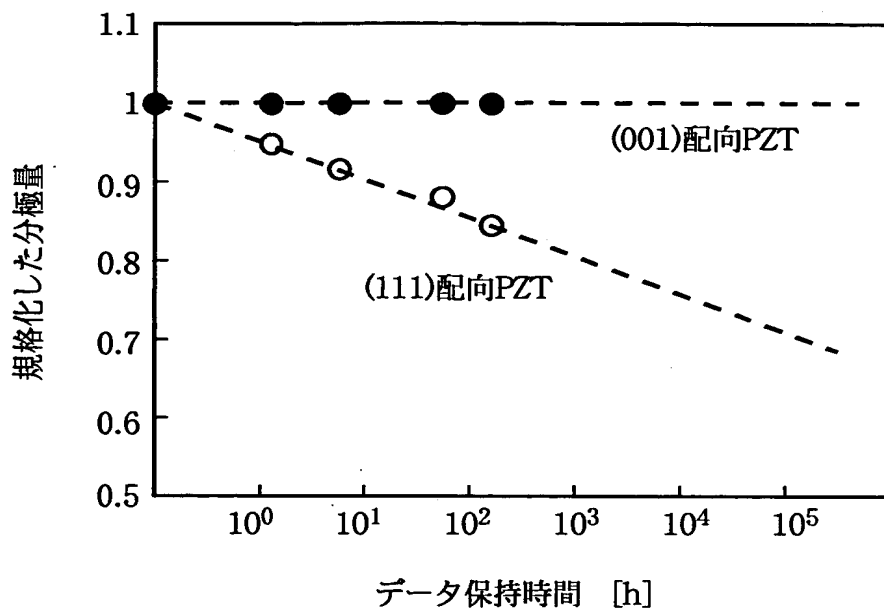
(001)配向したPZT膜を形成する従来の方法を示す概略断面図



110 … MgO基板
112 … (100)配向したプラチナ膜
114 … (001)配向したPZT膜

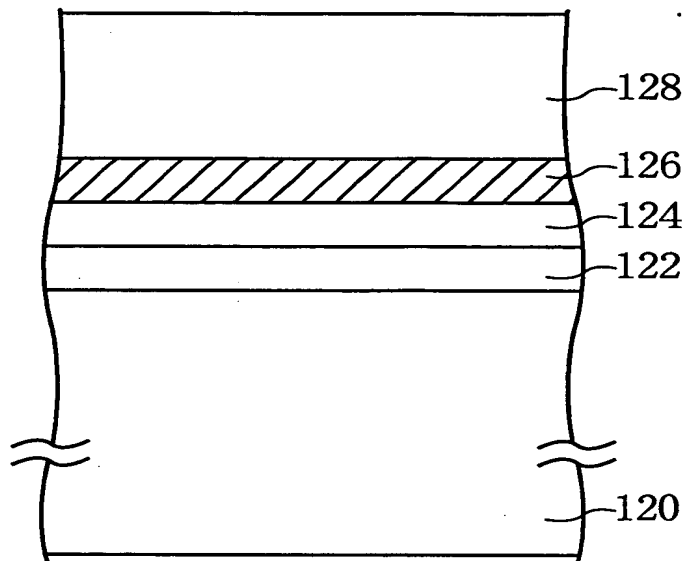
【図 2 1】

(001)配向したPZT膜を用いた不揮発性記憶装置と
(111)配向したPZT膜を用いた不揮発性装置とにおける
データ保持時間を示すグラフ



【図 2 2】

下部電極下に強誘電体膜よりも熱膨張係数の大きな
バッファ層を設けた場合を示す概略断面図



- 120 … シリコン基板
- 122 … 非晶質絶縁膜
- 124 … バッファ層
- 126 … (100)配向したプラチナ膜
- 128 … (100)配向したPZT膜

【書類名】 要約書

【要約】

【課題】 電界印加方向と分極軸とが平行な強誘電体容量素子を有する半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 10 上に形成されたメモリセルトランジスタと、メモリセルトランジスタ上を覆う絶縁膜 22, 30 と、絶縁膜 30 上に形成されたバッファ体 40 と、バッファ体 40 上に形成され、ソース／ドレイン拡散層 20 に電氣的に接続された下部電極 42 と、下部電極 42 上に形成され、バッファ体 40 の熱膨張係数よりも小さい熱膨張係数を有し、下部電極 42 の面と実質的に垂直な方向に結晶が配向したペロブスカイト型強誘電体材料よりなるキャパシタ誘電体膜 44 と、キャパシタ誘電体膜 44 上に形成された上部電極 46 とを有する容量素子とを有する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社